



深圳市矽源特科技有限公司
ShenZhen ChipSourceTek Technology Co.,Ltd.

ZH2521 用户手册

8 位 OTP 微控制器

Ver 1.0



修改记录说明

版本号	修改说明	备注
V0.0	发布初稿	
V0.1	修订错误描述	
V0.2	增加 RFC 模块描述、端口电平捕获模块描述	
V1.0	修订端口查询唤醒说明、RFC 模块描述	

注意事项：

- 1、TC0CON 寄存器 Bit. 3 (PAB) 预分频选择位及 Bit. 2~0 (TC0PSR2~PSR0) 分频选择位在切换状态时，需先关闭看门狗使能，待切换完成后再打开看门狗使能，否则容易导致复位。
- 2、使用端口电平捕获功能时，捕获采样完后不能操作 TC0CON 寄存器中的分频选项，否则影响采样值。



目 录

1. 芯片简介	6
1.1 功能特性	6
1.3 引脚描述	8
1.4 系统框图	10
2. 存储器结构	11
2.1 程序存储区	11
2.2 数据存储区	12
3. 功能描述	13
3.1 操作寄存器	13
3.1.1 RPAGE~R0/IAR (间接寻址寄存器)	13
3.1.2 RPAGE~R1/TC0C (TC0 计数寄存器)	13
3.1.3 RPAGE~R2/PCL (程序计数低 8 位寄存器)	13
3.1.4 RPAGE~R3/STATUS (状态标志寄存器)	14
3.1.5 RPAGE~R4/RSR (RAM 选择寄存器)	15
3.1.6 RPAGE~R5/P5 (P5 数据寄存器)	16
3.1.7 RPAGE~R6/P6 (P6 数据寄存器)	16
3.1.8 RPAGE~R7/CMPCON0 (CMP 控制寄存器 0)	16
3.1.9 RPAGE~R8/CMPCON1 (CMP 控制寄存器 1)	17
3.1.10 RPAGE~R9/P6AE (P6 模拟口控制寄存器)	18
3.1.11 RPAGE~RC/P5IWE (P5 输入变化中断/唤醒使能寄存器)	19
3.1.12 RPAGE~RD/P6IWE (P6 输入变化中断/唤醒使能寄存器)	19
3.1.13 RPAGE~RE/CPUCON (CPU 模式控制寄存器)	19
3.1.14 RPAGE~RF/INTF (中断标志寄存器)	20
3.1.15 RPAGE~R70/TC1CON (TC1 控制寄存器)	21
3.1.16 RPAGE~R71/TC1PRDL (TC1/PWM123 周期低 8 位寄存器)	22
3.1.17 RPAGE~R72/PWM1DTL (PWM1 占空比低 8 位寄存器)	22
3.1.18 RPAGE~R73/PWM2DTL (PWM2 占空比低 8 位寄存器)	22
3.1.19 RPAGE~R74/PWM3DTL (PWM3 占空比低 8 位寄存器)	22
3.1.20 RPAGE~R75/TC1PRDTH (TC1/PWM123 周期占空比高 2 位寄存器)	23
3.1.21 RPAGE~R76/PWMCON0 (PWM 控制寄存器 0)	23
3.1.22 RPAGE~R77/TC2CON (TC2 控制寄存器)	24
3.1.23 RPAGE~R78/TC2PRDL (TC2/PWM456 周期低位寄存器)	25
3.1.24 RPAGE~R79/PWM4DTL (PWM4 占空比低位寄存器)	25
3.1.25 RPAGE~R7A/PWM5DTL (PWM5 占空比低位寄存器)	25
3.1.26 RPAGE~R7B/PWM6DTL (PWM6 占空比低位寄存器)	25
3.1.27 RPAGE~R7C/TC2PRDTH (TC2/PWM456 周期占空比高位寄存器)	26
3.1.28 RPAGE~R7D/PWMCON1 (PWM 控制寄存器 1)	26
3.2 控制寄存器	28
3.2.1 IOPAGE~IOC2/TC0CON (TC0 控制寄存器)	28
3.2.2 IOPAGE~IOC5/P5CON (P5 控制寄存器)	29
3.2.3 IOPAGE~IOC6/P6CON (P6 控制寄存器)	29
3.2.4 IOPAGE~IOC7/P5PD (P5 下拉控制寄存器)	29



3.2.5	IOPAGE~IOC8/P5PH (P5 上拉控制寄存器)	29
3.2.6	IOPAGE~IOC9/TPRE (TC0/WDT 预分频读值寄存器)	30
3.2.7	IOPAGE~IOC8/P6PD (P6 下拉控制寄存器)	30
3.2.8	IOPAGE~IOC8/P5OD (P5 开漏控制寄存器)	30
3.2.9	IOPAGE~IOC8/P6PH (P6 上拉控制寄存器)	31
3.2.10	IOPAGE~IOCE/WDTCN (看门狗控制寄存器)	31
3.2.11	IOPAGF~IOCF/INTE (中断使能寄存器)	32
3.3	中断	34
3.3.1	中断现场保护	35
3.4	复位	36
3.4.1	复位功能概述	36
3.4.2	WDT 看门狗复位	36
3.4.3	POR 上电复位	37
3.4.4	LVR 低电压复位	37
3.4.5	工作频率与 LVR 低压检测关系	38
3.5	工作模式	40
3.5.1	高速模式	41
3.5.2	低速模式	41
3.5.3	空闲模式	42
3.5.4	睡眠模式	42
3.6	系统时钟	43
3.6.1	内部 RC 振荡器	43
3.7	I/O 端口	44
3.7.1	GPIO 内部结构图	44
3.7.2	端口状态变化唤醒	45
3.7.3	端口施密特参数	46
3.8	定时计数器	47
3.8.1	TC0 定时计数器	47
3.8.1.1	TC0 定时设置说明	47
3.8.1.2	TC0 定时计算说明	48
3.8.1.3	TC0 定时门控说明	48
3.8.2	TC1 定时计数器	49
3.8.2.1	TC1 定时计算说明	49
3.8.2.2	TC1 10Bit 定时设置说明	49
3.8.3	TC2 定时计数器	51
3.8.3.1	TC2 定时计算说明	51
3.8.3.2	TC2 10Bit 定时设置说明	51
3.9	PWM 脉宽调制	53
3.9.1	PWM 内部结构与时序	53
3.9.2	PWM 周期与占空比	54
3.9.3	PWM 门控功能说明	54
3.9.4	PWM 死区互补功能说明	55
3.9.5	PWM 脉宽调制设置说明	55
3.10	端口电平捕获	56



3. 11 LED 单线级联	58
3. 12 CMP 比较器	59
3. 12. 1 分压电阻输出电压 $V_{internal\ R}$	60
3. 12. 2 比较器配置	61
3. 12. 3 Bandgap 使用方法	61
3. 13 RFC 电阻频率转换	62
4. OPTION 配置表	63
5. 指令集	65
6. 电气特性	67
6. 1 极限参数	67
6. 2 直流电气特性	67
6. 3 特性曲线图	68
6. 3. 1 内部低速 RC 振荡器-压频特性曲线	68
6. 3. 2 内部低速 RC 振荡器-温频特性曲线	68
6. 3. 3 内部 1MHz RC 振荡器-压频特性曲线	69
6. 3. 4 内部 1MHz RC 振荡器-温频特性曲线	69
6. 3. 5 内部 8MHz RC 振荡器-压频特性曲线	70
6. 3. 6 内部 8MHz RC 振荡器-温频特性曲线	70
7. 封装尺寸	71
7. 1 16PIN 封装尺寸	71
7. 2 14PIN 封装尺寸	73
7. 3 8PIN 封装尺寸	74



1. ZH2521 芯片简介

1.1 功能特性

CPU 配置

- 2K×14-Bit OTP ROM
- 96×8-Bit SRAM
- 8 级堆栈空间
- 8 级可编程电压复位 (LVR)
 - 1. 2V, 1. 6V, 1. 8V, 2. 4V
 - 2. 7V, 3. 3V, 3. 6V, 3. 9V
- 工作电流小于 2 mA ($F_{cpu}=4\text{MHz}/5\text{V}$)
- 工作电流小于 10 μA ($F_{cpu}=8\text{KHz}/5\text{V}$)
- 休眠电流小于 1 μA (休眠模式)

I/O 配置

- 2 组双向 I/O 端口: P5、P6
- 14 个 GPIO 引脚
- 支持开漏输出端口: P5
- 可配置驱动增强端口: P5
- 可输入改变唤醒端口: P5、P6
- 14 位可编程上拉 I/O 引脚
- 14 位可编程下拉 I/O 引脚
- 外部中断: INT (P60 或 P63)
- P63 可配置上下拉和输出

工作条件

- 工作电压范围:
 - V_{LVR2} . 7V~5. 5V | $F_{cpu}=0\sim8\text{MHz}$
 - V_{LVR1} . 8V~5. 5V | $F_{cpu}=0\sim4\text{MHz}$
 - V_{LVR1} . 2V~5. 5V | $F_{cpu}=0\sim1\text{MHz}$
- 工作温度范围:
工作温度 $-40^{\circ}\text{C}\sim85^{\circ}\text{C}$

工作频率范围

- 指令时钟分频选择:
2T/4T/8T/16T/32T
- 内置 IHRC 振荡器供电电源可选:
VDD、LD02. 1V

中断源

- TC0 溢出中断
- 外部中断 0
- P5 端口输入改变中断
- P6 端口输入改变中断
- TC1 周期溢出中断
- TC2 周期溢出中断
- CMP 比较器结果变化中断

特性

- P60/P63 端口电平捕获
- PWM1、PWM4 支持 LED 级联控制
- 可编程 WDT 定时器
4. 5ms、18ms、72ms、288ms

外围模块

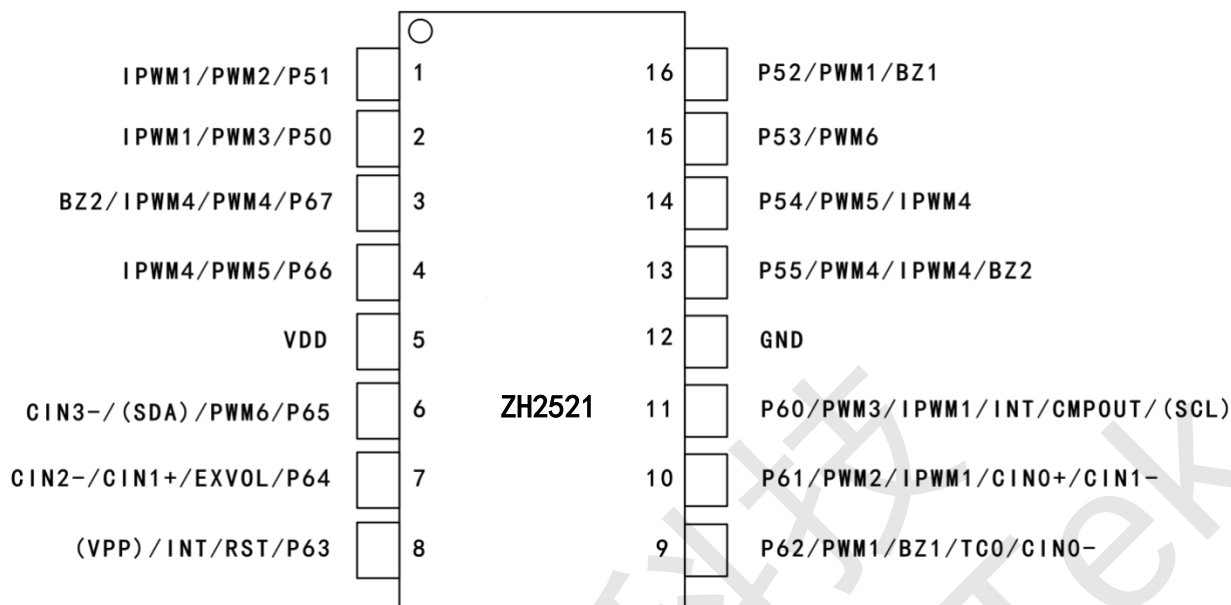
- 3 路共周期 10bit TC1/PWM123
- 3 路共周期 10bit TC2/PWM456
- 比较器 CMP

封装类型

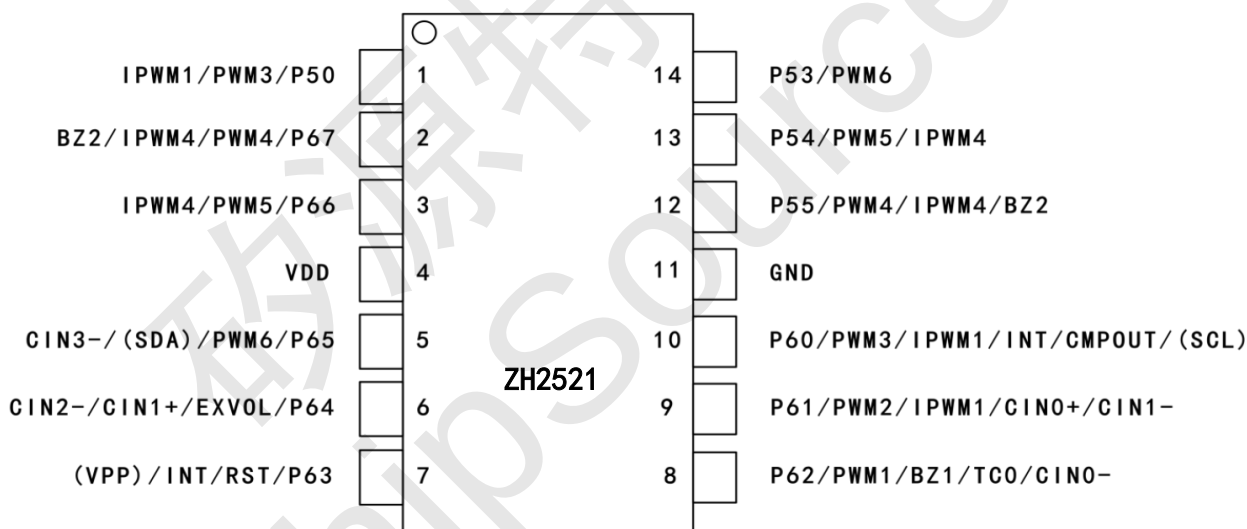
- ZH2521-DIP/SOP16
- ZH2521-DIP/SOP14
- ZH2521-DIP/SOP8



1.2 引脚分配



ZH2521-16PIN 脚位图



ZH2521-14PIN 脚位图



ZH2521-8PIN 脚位图



1.3 引脚描述

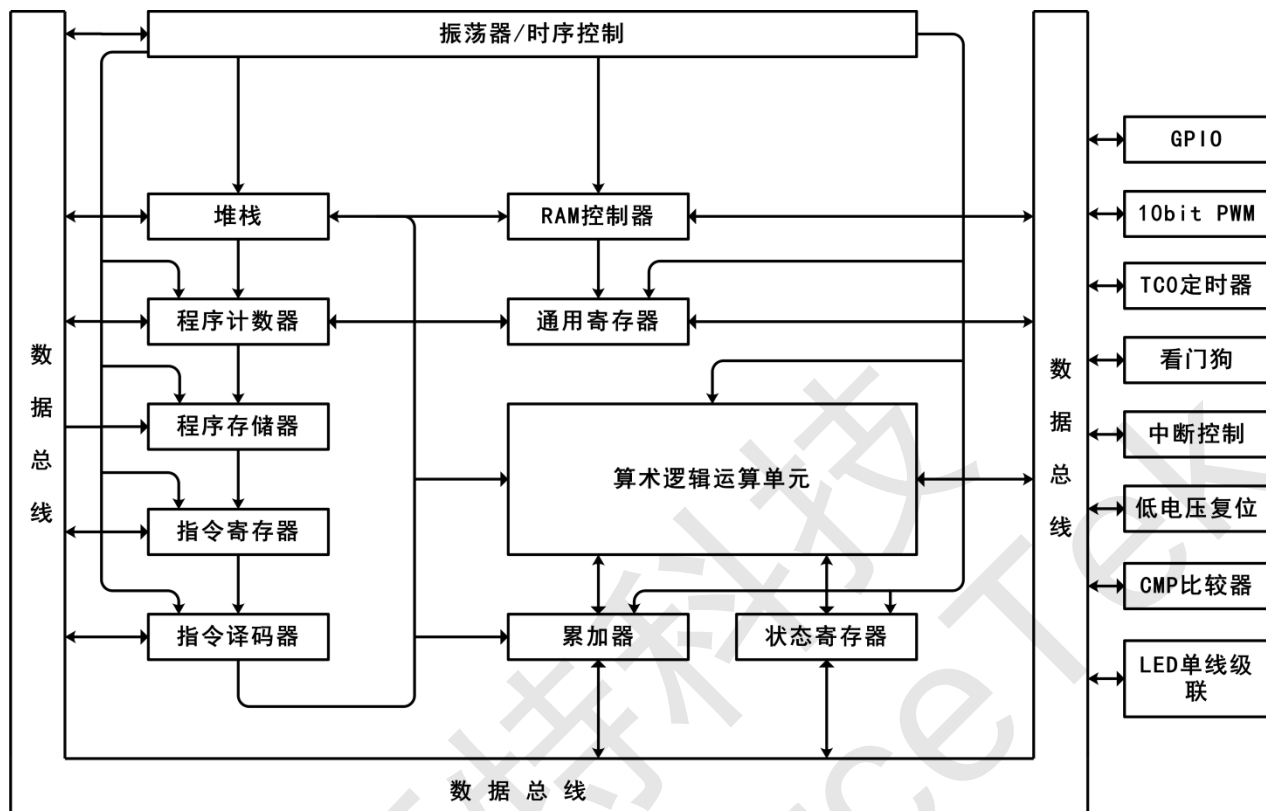
序号	管脚名	I/O	功能描述
P50	P50	I/O (上/下拉)	GPIO, 可编程上下拉、开漏输出、端口唤醒
	PWM3	0	PWM3 输出口
	IPWM1	0	IPWM1 输出口
P51	P51	I/O (上/下拉)	GPIO, 可编程上下拉、开漏输出、端口唤醒
	PWM2	0	PWM2 输出口
	IPWM1	0	IPWM1 输出口
P52	P52	I/O (上/下拉)	GPIO, 可编程上下拉、开漏输出、端口唤醒
	PWM1	0	PWM1 输出口
	BZ1	0	BZ1 输出口
P53	P53	I/O (上/下拉)	GPIO, 可编程上下拉、开漏输出、端口唤醒
	PWM6	0	PWM6 输出口
P54	P54	I/O (上/下拉)	GPIO, 可编程上下拉、开漏输出、端口唤醒
	PWM5	0	PWM5 输出口
	IPWM4	0	IPWM1 输出口
P55	P55	I/O (上/下拉)	GPIO, 可编程上下拉、开漏输出、端口唤醒
	PWM4	0	PWM4 输出口
	IPWM4	0	IPWM1 输出口
	BZ2	0	BZ2 输出口
P60	P60	I/O (上/下拉)	GPIO, 可编程上下拉、端口唤醒
	PWM3	0	PWM3 输出口
	IPWM1	0	IPWM1 输出口
	INT	I (SMT)	外部中断输入端口
	CMPOUT	0	比较器结果输出端口
	SCL	I (SMT)	烧录时钟口
P61	P61	I/O (上/下拉)	GPIO, 可编程上下拉、端口唤醒
	PWM2	0	PWM2 输出口
	IPWM1	0	IPWM1 输出口
	CIN0+	I	比较器正极输入端口
	CIN1-	I	比较器负极输入端口
P62	P62	I/O (上/下拉)	GPIO, 可编程上下拉、端口唤醒
	TC0	I	外部 TC0 信号源输入脚
	PWM1	0	PWM1 输出口
	BZ1	0	BZ1 输出口
	CIN0-	I	比较器负极输入端口
P63	P63	I/O (上拉)	GPIO, 可编程上拉、端口唤醒
	RST	I (SMT)	复位引脚
	INT	I (SMT)	外部中断输入端口
	VPP	I	烧录高压口



P64	P64	I/O (上/下拉)	GPIO, 可编程上下拉、端口唤醒
	EXVOL	I	分压电阻输入电压
	CIN1+	I	比较器正极输入端口
	CIN2-	I	比较器负极输入端口
P65	P65	I/O (上/下拉)	GPIO, 可编程上下拉、端口唤醒
	PWM6	0	PWM6 输出口
	CIN3-	I	比较器负极输入端口
	SDA	I (SMT)	烧录数据口
P66	P66	I/O (上/下拉)	GPIO, 可编程上下拉、端口唤醒
	PWM5	0	PWM5 输出口
	IPWM4	0	IPWM1 输出口
P67	P67	I/O (上/下拉)	GPIO, 可编程上下拉、端口唤醒
	PWM4	0	PWM4 输出口
	IPWM4	0	IPWM1 输出口
	BZ2	0	BZ2 输出口
	VDD	--	电源
	GND	--	地



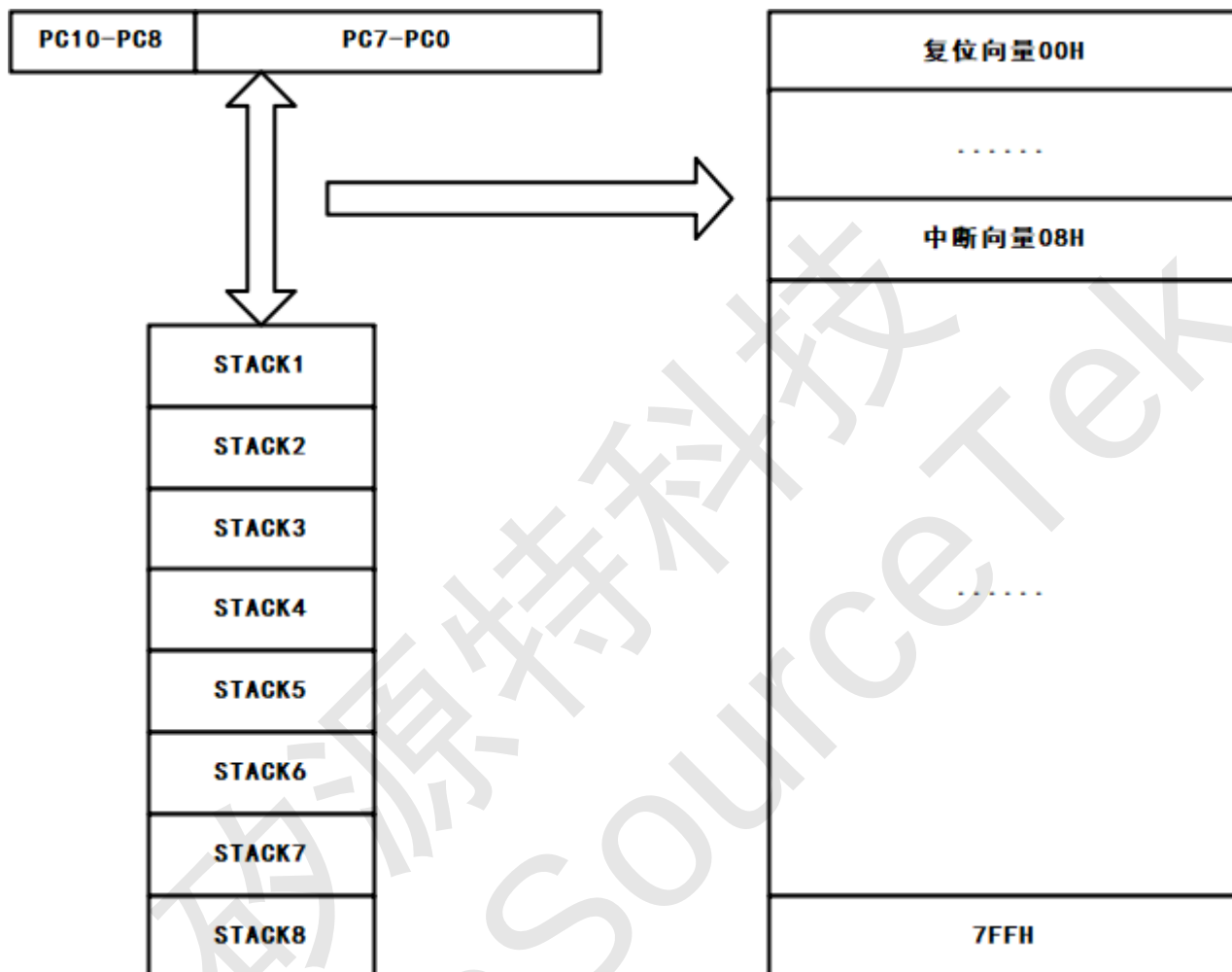
1.4 系统框图





2. ZH2521存储器结构

2.1 程序存储区



程序存储区结构图



2.2 数据存储区

R 页\I0C 页寄存器区（I0C 页为特殊页，只能使用 IR/IW 指令进行读写操作）

地址	R 页面寄存器	I0C 页面寄存器
0x00	R0/IAR (间接寻址寄存器)	保留
0x01	R1/TC0C (TC0 计数寄存器)	保留
0x02	R2/PCL (程序计数低 8 位寄存器)	I0C2/TC0CON (TC0 控制寄存器)
0x03	R3/STATUS (状态标志寄存器)	保留
0x04	R4/RSR (RAM 选择寄存器)	保留
0x05	R5/P5 (P5 数据寄存器)	I0C5/P5CON (P5 控制寄存器)
0x06	R6/P6 (P6 数据寄存器)	I0C6/P6CON (P6 控制寄存器)
0x07	R7/CMPCON0 (CMP 控制寄存器 0)	I0C7/P5PD (P5 下拉控制寄存器)
0x08	R8/CMPCON1 (CMP 控制寄存器 1)	I0C8/P5PH (P5 上拉控制寄存器)
0x09	R9/P6AE (P6 模拟口使能寄存器)	I0C9/TPRE (TC0/WDT 预分频读值寄存器)
0x0A	保留	保留
0x0B	保留	I0CB/P6PD (P6 下拉控制寄存器)
0x0C	RC/P5IWE (P5 输入变化中断/唤醒使能寄存器)	I0CC/P50D (P5 开漏控制寄存器)
0x0D	RD/P6IWE (P6 输入变化中断/唤醒使能寄存器)	I0CD/P6PH (P6 上拉控制寄存器)
0x0E	RE/CPUCON (CPU 模式控制寄存器)	I0CE/WDTCN (看门狗控制寄存器)
0x0F	RF/INTF (中断标志寄存器)	I0CF/INTE (中断使能寄存器)
0x10 ... 0x6F	通用寄存器 (SRAM)	
0x70	R70/TC1CON (TC1 控制寄存器)	
0x71	R71/TC1PRDL (TC1/PWM123 周期低 8 位寄存器)	
0x72	R72/PWM1DTL (PWM1 占空比低 8 位寄存器)	
0x73	R73/PWM2DTL (PWM2 占空比低 8 位寄存器)	
0x74	R74/PWM3DTL (PWM3 占空比低 8 位寄存器)	
0x75	R75/TC1PRDTH (TC1/PWM123 周期占空比高 2 位寄存器)	
0x76	R76/PWMCON0 (PWM 控制寄存器 0)	
0x77	R77/TC2CON (TC2 控制寄存器)	
0x78	R78/TC2PRDL (TC2/PWM456 周期低 8 位寄存器)	
0x79	R79/PWM4DTL (PWM4 占空比低 8 位寄存器)	
0x7A	R7A/PWM5DTL (PWM5 占空比低 8 位寄存器)	
0x7B	R7B/PWM6DTL (PWM6 占空比低 8 位寄存器)	
0x7C	R7C/TC2PRDTH (TC2/PWM456 周期占空比高 2 位寄存器)	
0x7D	R7D/PWMCON1 (PWM 控制寄存器 1)	
0x7E	保留	
0x7F	保留	



3. ZH2521功能描述

3.1 操作寄存器

3.1.1 RPAGE~R0/IAR（间接寻址寄存器）

00H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
IAR	IAR<7:0>							
读/写	R							
复位值	X							

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 R0 作为指针的指令，实际对应的地址是 R4（RAM 选择寄存器）低 7 位 RSR<6:0>所指向的数据。

3.1.2 RPAGE~R1/TC0C（TC0 计数寄存器）

01H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TC0C(R)	TC0C<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

TC0 是一个 8Bit 上行计数器，时钟源可选内部时钟/外部时钟，计数溢出可形成中断，TC0C 可读可写。

如果清零 PAB 位（TC0CON.3），会有一个预分频器分配给 TC0，当 TC0C 寄存器被写入一个值时，预分频器的值会被清 0。

若选择外部时钟，TC0 可由 TE 位（TC0CON.4 位定义）选择信号触发边沿，当时钟到来时产生加 1 操作。

3.1.3 RPAGE~R2/PCL（程序计数低 8 位寄存器）

02H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PCL	PC<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0



程序计数器（PC）是用于记录每个指令周期中 CPU 所要处理的指令的指针。在 CPU 运行周期中，PC 将指令指针推进程序存储器，然后指针自增 1 以进入下一个周期。ZH2521 拥有一个 11 位宽度的程序计数器（PC），其低字节来自可读写的 PCL，高位（PC<10:8>）不可读。

堆栈是用于记录程序返回的指令指针。当调用子程序时，PC 将指令指针压栈。待执行返回指令时，堆栈将指令指针送回 PC，继续进行原来的进程。ZH2521 拥有 8 级堆栈，该堆栈既不占程序存储空间也不占数据存储空间，并且堆栈指针不能读写。

- (1) 寄存器 PC 和内置 8 级堆栈都是 11 位宽，用于 2K×14Bit ROM 的寻址，ZH2521 程序存储区映射。
- (2) 一般情况下，PC 自增一；复位时，PC 的所有位都被清零。
- (3) 指令“JMP”允许直接载入 11 位地址，因此，JMP 指令可以实现当前页面内（2K 范围内）任意位置跳转。指令“JMP”直接载入低 11 位地址，同时将 PC+1 压栈，子程序入口地址只要在同一页面内就能够被准确定位。
- (4) 执行“RET”指令时将栈顶数据送到 PC。
- (5) PC 查表能力为 2K，任何对 PCL 值进行改写的指令（ADD、SUB 等加减类指令会产生进位或借位）会相应影响 PC 最高三位。因此，产生的跳转可扩充至 2K 范围。
- (6) 发生中断时，程序计数器的值将发生改变，PC 赋值为 0x08。
- (7) 堆栈的工作犹如循环缓冲器，也就是说，压栈 8 次之后，第 9 次压栈时进栈的数据将覆盖第 1 次进栈的数据，而第 10 次压栈时进栈的数据将覆盖第 2 次进栈的数据，依此类推。

3.1.4 RPAGE~R3/STATUS(状态标志寄存器)

03H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
STATUS	RST	GIE	LVREN	T	P	Z	DC	C
读/写	R	R	R/W	R	R	R/W	R/W	R/W
复位值	0	0	0	1	1	X	X	X

Bit<7>: RST-复位类型标志位

0: 其它复位类型

1: 若休眠模式由引脚输入改变唤醒

Bit<6>: GIE-中断使能标志位

0: 由 DIT 指令或硬件中断屏蔽

1: 由 EIT/RTI 指令使能中断

Bit<5>: LVREN-LVR 软件使能

0: LVR 使能

1: LVR 禁止（OPTION 选择 LVR 禁止时才有效）

Bit<4>: T-时间溢出位



0: WDT 溢出

1: 执行“SLEEP”和“CWDT”指令或低压复位

Bit<3>: P-掉电标志位

0: 执行“SLEEP”指令

1: 上电复位或执行“CWDT”指令

影响 T/P 的事件如下表所示:

类型	RST	T	P
上电复位	0	1	1
工作模式下按 RESET	0	保持	保持
RESET 唤醒	0	1	0
工作模式下 WDT 溢出	0	0	保持
WDT 溢出唤醒	0	0	0
端口状态变化唤醒	1	1	0
执行 CWDT 指令	保持	1	1
执行 SLEEP 指令	保持	1	0

Bit<2>: Z-零标志位算术或逻辑操作结果为零时置为”1”

0: 当算术或者逻辑运算结果不为 0

1: 当算术或者逻辑运算结果为 0

Bit<1>: DC-辅助进位标志

0: 执行加法运算时, 低四位没有进位产生; /执行减法运算时, 低四位产生借位

1: 执行加法运算时, 低四位有进位产生; /执行减法运算时, 低四位没产生借位

Bit<0>: C-进位标志

0: 执行加法运算时, 高四位没有进位产生; /执行减法运算时, 高四位产生借位

1: 执行加法运算时, 高四位有进位产生; /执行减法运算时, 高四位没产生借位

3.1.5 RPAGE~R4/RSR (RAM 选择寄存器)

04H (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RSR	—	RSR<6:0>						
读/写	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	X	X	X	X	X	X	X

RSR<6:0> 在间接寻址方式中用于选择 RAM 寄存器地址 (寻址范围: 0X10~0X6F)

RSR 用于配合 IAR 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 RSR, 然后通过访问间接寻址寄存器 IAR, 读写 RSR 对应地址的通用寄存器数据。



06H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PORT5	—	—	P55	P54	P53	P52	P51	P50
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

06H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PORT6	P67	P66	P65	P64	P63	P62	P61	P60
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

07H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CMPCON0	CMPEN	CMPOUT	CMPRS<5:0>					
读/写	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Figure 10 illustrates a 16-level programmable resistor network. The network consists of a series of resistors (R and 8R) connected to a VDD supply. The resistors are controlled by a 16-level programmable resistor (16级可配置) and a multiplexer (MUX). The MUX selects between different resistor values (R or 8R) based on the input CMPRS<3:0>. The output of the network is connected to ground through a resistor (8R). The diagram also shows the CMPRS<5> and CMPRS<4> control signals.



当 CMPCON1 寄存器=0x85，比较器正极选择电阻分压，比较器负极选择 VBG，不同电阻分压档位 CMPRS<5:0>对应不同的检测电压，具体如下表：

CMPRS	检测电压	CMPRS	检测电压	CMPRS	检测电压	CMPRS	检测电压
00H	4.48V	10H	30.24V	20H	5.60V	30H	40.32V
01H	4.03V	11H	15.12V	21H	5.04V	31H	20.16V
02H	3.67V	12H	10.08V	22H	4.58V	32H	13.44V
03H	3.36V	13H	7.56V	23H	4.20V	33H	10.08V
04H	3.10V	14H	6.05V	24H	3.88V	34H	8.06V
05H	2.88V	15H	5.04V	25H	3.60V	35H	6.72V
06H	2.69V	16H	4.32V	26H	3.36V	36H	5.76V
07H	2.52V	17H	3.78V	27H	3.15V	37H	5.04V
08H	2.37V	18H	3.36V	28H	2.96V	38H	4.48V
09H	2.24V	19H	3.02V	29H	2.80V	39H	4.03V
0AH	2.12V	1AH	2.75V	2AH	2.65V	3AH	3.67V
0BH	2.02V	1BH	2.52V	2BH	2.52V	3BH	3.36V
0CH	1.92V	1CH	2.33V	2CH	2.40V	3CH	3.10V
0DH	1.83V	1DH	2.16V	2DH	2.29V	3DH	2.88V
0EH	1.75V	1EH	2.02V	2EH	2.19V	3EH	2.69V
0FH	1.68V	1FH	1.89V	2FH	2.10V	3FH	2.52V

注：灰色部分检测电压禁止使用。

3.1.9 RPAGE~R8/CMPCON1 (CMP 控制寄存器 1)

08H (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CMPCON1	CMPOE	CMPINV	CMPIS<5:0>					
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>: CMPOE-比较器结果输出使能

1:比较器结果从 P60 输出

0:P60 作为 GPIO

Bit<6>: CMPINV-CMPOUT 输出结果取反

1:取反

0:不取反

Bit<5>: CMPIS<5>-分压电阻输入电压

1:P64 输入

0:VDD



Bit<4:3>: CMPIS<4:3>-比较器正极输入源选择

CMPIS<4>	CMPIS<3>	正极输入源
0	0	电阻分压
0	1	CIN0+/P61
1	0	CIN1+/P64

Bit<2:0>: CMPIS<2:0>-比较器负极输入源选择

CMPIS<2>	CMPIS<1>	CMPIS<0>	负极输入源
0	0	0	CIN0-/P62
0	0	1	CIN1-/P61
0	1	0	CIN2-/P64
0	1	1	CIN3-/P65
1	0	0	电阻分压
1	0	1	VBG (Bandgap 电压 1.26V)

3.1.10 RPAGE~R9/P6AE (P6 模拟口控制寄存器)

09H (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P6AE	PWM4_LEDEN	PWM1_LEDEN	P6AE<5:0>					
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>: PWM4_LEDEN-PWM4 单线级联 LED 使能位

- 1: 使能
- 0: 禁止

注: 数据周期为 TC2PRD, 数据 0 占空比为 PWM4 占空比, 数据 1 占空比为 PWM5 占空比, 数据寄存器为 PWM6 占空比寄存器, 使能 PWM4_LEDEN+TC2EN 开始发送 8 位级联数据, 发送结束后 TC2EN 自动复位清零。

Bit<6>: PWM1_LEDEN-PWM4 单线级联 LED 使能位

- 1: 使能
- 0: 禁止

注: 数据周期为 TC1PRD, 数据 0 占空比为 PWM1 占空比, 数据 1 占空比为 PWM2 占空比, 数据寄存器为 PWM3 占空比寄存器, 使能 PWM1_LEDEN+TC1EN 开始发送 8 位级联数据, 发送结束后 TC1EN 自动复位清零。

Bit<5:0>: P6AE<5:0>-P6 模拟口使能控制位

- 1: P6x 设置为模拟口 (禁止输入功能)
- 0: P6x 为 GPIO



3.1.11 RPAGE~RC/P5IWE (P5 输入变化中断/唤醒使能寄存器)

0CH (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P5IWE	—	—	P5IWE<5:0>					
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

P5 输入端口状态变化中断/唤醒使能控制寄存器：

0：禁止

1：使能

3.1.12 RPAGE~RD/P6IWE (P6 输入变化中断/唤醒使能寄存器)

0DH (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P6IWE	P6IWE<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

P6 输入变化中断/唤醒使能控制寄存器：

0：禁止

1：使能

3.1.13 RPAGE~RE/CPUCON (CPU 模式控制寄存器)

0EH (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CPUCON	CMPWE	INTWE	TC2WE	TC1WE	TC0WE	STPHX	CLKMD	IDLE
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>：CMPWE—CMP 唤醒使能使能位

1：CMP 唤醒使能，可唤醒空闲模式

0：CMP 唤醒禁止

Bit<6>：INTWE—外部中断唤醒使能位

1：INT 唤醒使能，可唤醒空闲模式

0：INT 唤醒禁止

Bit<5>：TC2WE—TC2/PWM456 唤醒使能位

1：TC2 唤醒使能，可唤醒空闲模式

0：TC2 唤醒禁止



Bit<4>: TC1WE–TC1/PWM123 唤醒使能位

1: TC1 唤醒使能, 可唤醒空闲模式

0: TC1 唤醒禁止

Bit<3>: TC0WE–TC0 唤醒使能位

1: 使能 TC0 唤醒, 可唤醒空闲模式

0: 禁止 TC0 唤醒

Bit<2>: STPHX–高速时钟控制位

1: 停止高速时钟

0: 高速时钟正常工作

Bit<1>: CLKMD–系统时钟选择位

1: 系统时钟使用低速 RC 振荡器时钟

0: 系统时钟使用高速 RC 振荡器时钟

系统从高速模式进入低速模式时 先设置 CLKMD=1, 后设置 STPHX=1;

系统从低速模式进入高速模式时 先设置 STPHX=0, 后设置 CLKMD=0。

Bit<0>: IDLE–空闲模式选择位

1: 系统执行 SLEEP 指令时进入空闲模式, 系统时钟正常工作

(TC0 和 PWM 在空闲模式下如果选择系统时钟可继续工作, 并可唤醒系统)

0: 系统执行 SLEEP 指令时进入睡眠模式

3.1.14 RPAGE~RF/INTF (中断标志寄存器)

0FH (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
INTF	–	P5ICIF	TC2IF	CMPIF	TC1IF	INTIF	P6ICIF	TC0IF
读/写	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>: 未使用

Bit<6>: P5ICIF–P5 端口输入变化中断标志位

Bit<5>: TC2IF–TC2/PWM456 周期中断标志

Bit<4>: CMPIF–比较器状态变化中断标志

Bit<3>: TC1IF–TC1/PWM123 周期中断标志

Bit<2>: INTIF–外部端口变化中断标志位

Bit<1>: P6ICIF–P6 端口输入变化中断标志位

Bit<0>: TC0IF–TC0 计数器溢出中断标志位

1: 有中断, 软件清 0

0: 无中断

注意: 清除中断标志位时, 必须使用 MOV RF, A 操作, 不能使用 BTC 和 AND RF, A 指令操作。



3. 1. 15 RPAGE~R70/TC1CON (TC1 控制寄存器)

70H (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TC1CON	TC1EN	TC21EN	PWM1GATE	TC1CKS	TC1PTEN	TC1PSR<2:0>		
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>: TC1EN –TC1/PWM123 计数器使能控制

(若设置 TC1PRD 寄存器, TC1 计数到预设值复位, TC1 从 1 开始计数)

1: 使能

0: 禁止

Bit<6>: TC21EN–TC1/PWM123、TC2/PWM456 计数器同时使能控制位

1: 使能

0: 禁止

Bit<5>: PWM1GATE–PWM1 门控输出使能控制位

1: PWM1 输出由比较器结果控制, 当 CMPOUT=0 时输出 PWM 波形, CMPOUT=1 时保持 PWM1 为低电平

0: 无限制

Bit<4>: TC1CKS–TC1 时钟选择

1: 系统时钟

0: 指令时钟

Bit<3:0>: TC1PTEN、TC1PSR2~TC1PSR0 分频系数选择位:

TC1PTEN	TC1PSR<2>	TC1PSR<1>	TC1PSR<0>	TC1 分频系数
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4
1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256



3. 1. 16 RPAGE~R71/TC1PRDL (TC1/PWM123 周期低 8 位寄存器)

71H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TC1PRDL	TC1PRD<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:0>: TC1PRD<7:0>-TC1/PWM123 周期低 8 位数据

3. 1. 17 RPAGE~R72/PWM1DTL (PWM1 占空比低 8 位寄存器)

72H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWM1DTL	PWM1DT<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:0>: PWM1DT<7:0>-PWM1 占空比低 8 位数据

3. 1. 18 RPAGE~R73/PWM2DTL (PWM2 占空比低 8 位寄存器)

73H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWM2DTL	PWM2DT<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:0>: PWM2DT<7:0>-PWM2 占空比低 8 位数据

3. 1. 19 RPAGE~R74/PWM3DTL (PWM3 占空比低 8 位寄存器)

74H(R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWM3DTL	PWM3DT<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:0>: PWM3DT<7:0>-PWM3 占空比低 8 位数据



3. 1. 20 RPAGE~R75/TC1PRDTH (TC1/PWM123 周期占空比高 2 位寄存器)

75H (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TC1PRDTH	TC1PRD<9:8>		PWM3DT<9:8>		PWM2DT<9:8>		PWM1DT<9:8>	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:6>: TC1PRD<9:8>-TC1/PWM123 周期高 2 位数据

Bit<5:4>: PWM3DT<9:8>-PWM3 占空比高 2 位数据

Bit<3:2>: PWM2DT<9:8>-PWM2 占空比高 2 位数据

Bit<1:0>: PWM1DT<9:8>-PWM1 占空比高 2 位数据

3. 1. 21 RPAGE~R76/PWMCON0 (PWM 控制寄存器 0)

76H (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMCON0	BZ1EN	PWM3S	PWM2S	PWM1S	IPWM1EN	PWM3EN	PWM2EN	PWM1EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>: BZ1EN -BZ1 波形输出使能控制位

1: 输出 BZ1 波形 (需设置 BZ1EN=1, PWM1EN=0)

(设置 P62/P52 为输出才能输出 BZ1 波形)

0: 禁止

Bit<6>: PWM3S-PWM3 输出选择控制位

1: PWM3 从 P50 输出

0: PWM3 从 P60 输出

Bit<5>: PWM2S-PWM2 输出选择控制位

1: PWM2 从 P51 输出

0: PWM2 从 P61 输出

Bit<4>: PWM1S-PWM 输出选择控制位

1: PWM1 从 P52 输出

0: PWM1 从 P62 输出

Bit<3>: IPWM1EN-IPWM1 使能控制位

1: 输出 PWM2 与 PWM3 异或

(根据 PWM2EN (P61/P51) 或 PWM3EN (P60/P50) 选择输出端口)

0: 禁止

Bit<2>: PWM3EN-PWM3 使能控制位



1: 输出 PWM3 波形使能

(需要设置对应端口为输出才能输出 PWM3 波形)

0: 禁止

Bit<1>: PWM2EN-PWM2 使能控制位

1: 输出 PWM2 波形使能

(需要设置对应端口为输出才能输出 PWM2 波形)

0: 禁止

Bit<0>: PWM1EN-PWM1 使能控制位

1: 输出 PWM1 波形使能

(需要设置对应端口为输出才能输出 PWM1 波形, 且 BZ1EN=0)

0: 禁止

3.1.22 RPAGE~R77/TC2CON (TC2 控制寄存器)

77H (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TC2CON	TC2EN	PWM4GATE<1:0>		TC2CKS	TC2PTEN	TC2PSR<2:0>		
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>: TC2EN-TC2/PWM456 计数器使能控制

1: 使能

0: 禁止

Bit<6>: PWM4GATE<1>-PWM4 门控输出使能控制位 1

1: PWM4 输出由外部中断 INT 控制 (P60 或 P63), INT=1 时输出 PWM 波形

0: 无限制

Bit<5>: PWM4GATE<0>-PWM4 门控输出使能控制位 0

1: PWM4 输出由比较器结果控制, 当 CMPOUT=0 时输出 PWM 波形, CMPOUT=1 时保持 PWM4 为低电平

0: 无限制

Bit<4>: TC2CKS-TC2 时钟选择

1: 系统时钟

0: 指令时钟

Bit<3:0>: TC2PTEN、TC2PSR2~TC2PSR0 分频系数选择位:

TC2PTEN	TC2PSR<2>	TC2PSR<1>	TC2PSR<0>	TC2 分频系数
0	0	0	0	1:1
1	0	0	0	1:2
1	0	0	1	1:4



1	0	1	0	1:8
1	0	1	1	1:16
1	1	0	0	1:32
1	1	0	1	1:64
1	1	1	0	1:128
1	1	1	1	1:256

3. 1. 23 RPAGE~R78/TC2PRDL (TC2/PWM456 周期低位寄存器)

78H (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TC2PRDL	TC2PRD<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:0>: TC2PRD<7:0>-TC2/PWM456 周期低 8 位数据

3. 1. 24 RPAGE~R79/PWM4DTL (PWM4 占空比低位寄存器)

79H (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWM4DTL	PWM4DT<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:0>: PWM4DT<7:0>-PWM4 占空比低 8 位数据

3. 1. 25 RPAGE~R7A/PWM5DTL (PWM5 占空比低位寄存器)

7AH (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWM5DTL	PWM5DT<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:0>: PWM5DT<7:0>-PWM5 占空比低 8 位数据

3. 1. 26 RPAGE~R7B/PWM6DTL (PWM6 占空比低位寄存器)

7BH (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWM6DTL	PWM6DT<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0



Bit<7:0>: PWM6DT<7:0>-PWM6 占空比低 8 位数据

3.1.27 RPAGE~R7C/TC2PRDTH (TC2/PWM456 周期占空比高位寄存器)

7CH (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TC2PRDTH	TC2PRD<9:8>		PWM6DT<9:8>		PWM5DT<9:8>		PWM4DT<9:8>	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7:6>: TC2PRD<9:8>-TC1/PWM456 周期高 2 位数据

Bit<5:4>: PWM4DT<9:8>-PWM6 占空比高 2 位数据

Bit<3:2>: PWM5DT<9:8>-PWM5 占空比高 2 位数据

Bit<1:0>: PWM6DT<9:8>-PWM4 占空比高 2 位数据

3.1.28 RPAGE~R7D/PWMCON1 (PWM 控制寄存器 1)

7DH (R)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PWMCON1	BZ2EN	PWM6S	PWM5S	PWM4S	IPWM4EN	PWM6EN	PWM5EN	PWM4EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>: BZ2EN -BZ2 波形输出使能控制位

1: 输出 BZ2 波形 (需设置 BZ2EN=1, PWM4EN=0)

(设置 P55/P67 为输出才能输出 BZ2 波形)

0: 禁止

Bit<6>: PWM6S-PWM6 输出选择控制位

1: PWM6 从 P65 输出

0: PWM6 从 P53 输出

Bit<5>: PWM5S-PWM5 输出选择控制位

1: PWM5 从 P66 输出

0: PWM5 从 P54 输出

Bit<4>: PWM4S-PWM4 输出选择控制位

1: PWM4 从 P67 输出

0: PWM4 从 P55 输出

Bit<3>: IPWM4EN-IPWM4 使能控制位

1: 输出 PWM5 与 PWM6 异或

0: 禁止

(根据 PWM5EN (P54/P66) 或 PWM6EN (P65/P53) 选择输出端口)



Bit<2>: PWM6EN-PWM6 使能控制位

1: 输出 PWM6 波形使能

(需要设置对应端口为输出才能输出 PWM6 波形)

0: 禁止

Bit<1>: PWM5EN-PWM5 使能控制位

1: 输出 PWM5 波形使能

(需要设置对应端口为输出才能输出 PWM5 波形)

0: 禁止

Bit<0>: PWM4EN-PWM4 使能控制位

1: 输出 PWM4 波形使能

(需要设置对应端口为输出才能输出 PWM4 波形, 且 BZ2EN=0)

0: 禁止



3.2 控制寄存器

3.2.1 IOPAGE~IOC2/TCOCON (TC0 控制寄存器)

02H (IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TCOCON	TCOEN	TCOCKS<1:0>		TCOEDG	PAB	PSR<2:0>		
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	1	1	1	1	1

Bit<7>: TCOEN-TC0 计数器使能位

1: 使能

0: 禁止

Bit<6:5>: TCOCKS<1:0>-TC0 信号源选择位

00: 指令周期时钟

01: 外部输入信号 (此时 P62/EXCK 置为输入)

10: 系统时钟

11: ILRC 时钟 (低速振荡器)

Bit<4>: TCOEDG-TC0 信号边沿选择位 (仅 P62 作为外部输入时钟有效, 且 TCOGATE<1>=1)

0: TC0 引脚信号发生由高到低变化加 1

1: TC0 引脚信号发生由低到高变化加 1

Bit<3>: PAB-预分频器分配位

0: 预分频器分给 TC0

1: 预分频器分给 WDT

Bit<2:0>: PSR<2:0>-TC0/WDT 预分频选择控制位:

PSR2	PSR1	PSR0	TC0 分频系数	WDT 分频系数
0	0	0	1:2	1:1
0	0	1	1:4	1:2
0	1	0	1:8	1:4
0	1	1	1:16	1:8
1	0	0	1:32	1:16
1	0	1	1:64	1:32
1	1	0	1:128	1:64
1	1	1	1:256	1:128

注意: PAB 及 PSR2~PSR0 切换状态时需先禁止看门狗, 切换完成后再使能看门狗。

(提示是否需要保留?)



3.2.2 IOPAGE~I0C5/P5CON (P5 控制寄存器)

05H (I0C)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P5CON	—	—	P5CON<5:0>					
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

P5CON<5:0>—P5 端口方向控制位

1: 定义对应 I/O 引脚为高阻输入状态

0: 定义对应 I/O 为输出状态

3.2.3 IOPAGE~I0C6/P6CON (P6 控制寄存器)

06H (I0C)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P6CON	P6CON<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

P6CON<7:0>—P6 端口方向控制位

1: 定义对应 I/O 引脚为高阻输入状态

0: 定义对应 I/O 为输出状态

3.2.4 IOPAGE~I0C7/P5PD (P5 下拉控制寄存器)

07H (I0C)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P5PD	—	—	P5PD<5:0>					
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

P5PD<5:0>—P55~P50 管脚的下拉使能控制位

0: 内部下拉使能

1: 内部下拉禁止

3.2.5 IOPAGE~I0C8/P5PH (P5 上拉控制寄存器)

08H (I0C)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P5PH	—	—	P5PH<5:0>					
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1



P5PH<5:0>~P55~P50 管脚的上拉使能控制位

0: 内部上拉使能

1: 内部上拉禁止

3.2.6 IOPAGE~IOC9/TPRE (TC0/WDT 预分频读值寄存器)

09H (IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TPRE	TPRE<7:0>							
读/写	R	R	R	R	R	R	R	R
复位值	0	0	0	0	0	0	0	1

TC0/WDT 预分频器值 (只读)

3.2.7 IOPAGE~IOCB/P6PD (P6 下拉控制寄存器)

0BH (IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P6PD	P6PD<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

P6PD<7:0>~P67~P60 管脚的下拉使能控制位

0: 内部下拉使能

1: 内部下拉禁止

3.2.8 IOPAGE~IOCC/P50D (P5 开漏控制寄存器)

0CH (IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P50D	—	—	P50D<5:0>					
读/写	R	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

P50D<5:0>~P55~P50 管脚的开漏使能控制位

0: 禁止

1: 使能



3.2.9 IOPAGE~IOCD/P6PH(P6 上拉控制寄存器)

ODH(IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P6PH	P6PH<7:0>							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	1	1	1	1	1	1	1

P6PH<7:0>-P67~P60 管脚的上拉使能控制位

0: 内部上拉使能

1: 内部上拉禁止

3.2.10 IOPAGE~IOCE/WDTCN(看门狗控制寄存器)

OEH(IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WDTCN	WDTEN	INTS	INTEDG<1:0>		TCOGATE<3:0>			
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	1	0	0	0	0	0	0	0

Bit<7>: WDTEN-WDT 看门狗定时器使能控制

0: WDT 禁止

1: WDT 使能

注意: 看门狗使能需 WDTEN 使能且 OPTION 选项【看门狗】选择【使能】。

Bit<6>: INTS-外部中断端口选择

0: 外部中断为 P60 口

1: 外部中断为 P63 口

Bit<5>: INTEDG<1>-外部中断上升沿触发控制位

0: 外部中断上升沿触发禁止

1: 外部中断上升沿触发使能

Bit<4>: INTEDG<0>-外部中断下降沿触发控制位

0: 外部中断下降沿触发禁止

1: 外部中断下降沿触发使能

Bit<3>: TCOGATE<3>-TC0 计数门控使能控制 3

0: CMP 门控禁止

1: TC0 计数由 CMPOUT 控制, 当 CMPOUT=1 时 TC0 计数

Bit<2>: TCOGATE<2>-TC0 计数门控使能控制 2

0: INT 门控禁止



1: TC0 计数由 INT 控制, 当 INTEDG1=1 时 INT 为低时 TC0 计数, 当 INTEDG0=1 时 INT 为高 TC0 计数

Bit<1>: TC0GATE<1>-TC0 计数门控使能控制 1

0: TC0 外部计数禁止

1: TC0 外部计数使能 (P62 作为外部计数端口)

Bit<0>: TC0GATE<0>-TC0 计数门控使能控制 0

0: TC2 定时开启 TC0 外部计数功能禁止

1: TC2 定时开启 TC0 外部计数功能使能, (P62 作为外部计数端口) TC2 周期溢出时使能计数, 下一个 TC2 周期溢出时停止计数且 TC0GATE<0>自动清 0

3.2.11 IOPAGF~IOCF/INTE(中断使能寄存器)

0FH (IOC)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
INTE	—	P5ICIE	TC2IE	CMPIE	TC1IE	INTIE	P6ICIE	TC0IE
读/写	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值	0	0	0	0	0	0	0	0

Bit<7>: 未使用

Bit<6>: P5ICIE-P5 端口输入改变中断使能控制位

1: 使能

0: 禁止

Bit<5>: TC2IE-TC2/PWM456 周期中断使能控制位

1: 使能

0: 禁止

Bit<4>: CMPIE-比较器状态变化中断使能控制位

1: 使能

0: 禁止

Bit<3>: TC1IE-TC1/PWM123 周期中断使能控制位

1: 使能

0: 禁止

Bit<2>: INTIE-外部中断使能控制位

1: 使能

0: 禁止

Bit<1>: P6ICIE-P6 端口输入改变中断使能控制位

1: 使能

0: 禁止

Bit<0>: TC0IE-TC0 溢出中断使能控制位



1: 使能

0: 禁止

注: 外部端口唤醒不再需要设置 ICIE=1

矽源特科技
ChipSourceTek

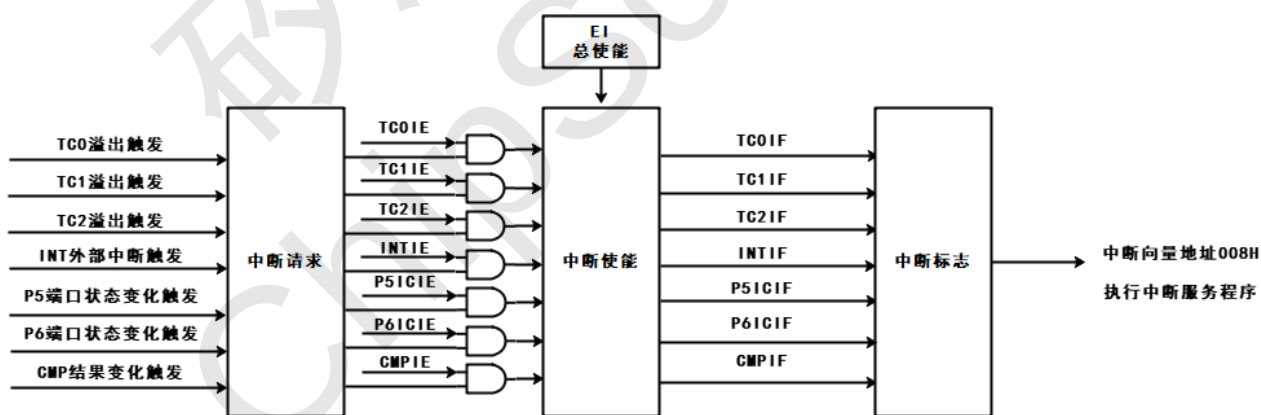


3.3 中断

ZH2521 具有 7 个中断源，无论是使用其中那一个中断，都必须使能总中断，即“EI”指令。中断向量为固定默认地址 008H。下面分别是每个中断的特性：

中断类型	中断源	使能条件	中断标志
外部	外部中断	$EI + INTIE=1$	INTIF
外部	P5 端口输入改变中断	$EI + P5ICIE=1$	P5ICIF
外部	P6 端口输入改变中断	$EI + P6ICIE=1$	P6ICIF
内部	TC0 溢出中断	$EI + TC0IE=1$	TC0IF
内部	TC1/PWM123 周期溢出中断	$EI + TC1IE=1$	TC1IF
内部	TC2/PWM456 周期溢出中断	$EI + TC2IE=1$	TC2IF
内部	CMP 结果变化中断	$EI + CMPIE=1$	CMPIF

RPAGE 的 RF 为中断状态标志寄存器，它们记录了当某个中断产生中断请求后的中断标志位。IOCF 为中断设置寄存器，中断的允许与禁止在这两个寄存器中设置。总中断的允许是通过下“EI”指令，相反，总中断的禁止是通过下“DI”指令。当一个中断产生时，它的下一条指令的执行将从中断向量地址 008H 处执行。在离开中断服务程序之前相应的中断标志位必须清零，这样才能避免中断的误动作。

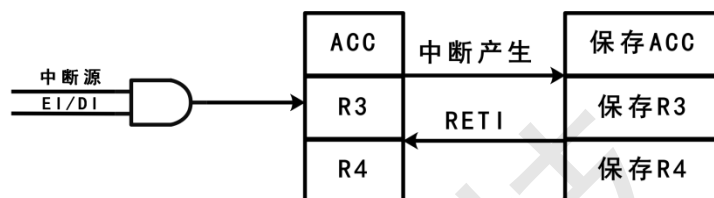


中断原理示意图



3.3.1 中断现场保护

在响应中断过程中，强烈建议在程序中使用中断保护，将 ACC、R3、R4 的内容保存起来，直到离开中断子程序时，将被保存的值再重新载入 ACC、R3、R4，如此是为了避免在执行中断子程序时，有指令将 ACC、R3、R4 的值改变，导致返回主程序时发生错误。如下图所示：



软件中断现场保护示意图



3.4 复位

3.4.1 复位功能概述

ZH2521 系统提供 4 种复位方式：

- POR 上电复位
- RESET 脚输入低电平复位
- WDT 看门狗溢出复位
- LVR 低电压复位

以上任意一种复位发生时，所有的系统寄存器初始化到复位值，程序停止运行，同时程序计数器 PC 清零。复位结束后，系统从向量 0000H 处重新开始运行。

任何一种复位情况都需要一定的响应时间，系统复位机制能够保证 MCU 的可靠复位。不同类型的振荡器，完成复位所需要的时间也不同。因此，VDD 的上升速度和不同振荡器的起振时间都是不固定的。RC 振荡器的起振时间最短，晶体振荡器的起振时间则较长。在用户终端使用的过程中，应注意考虑应用场景对上电复位时间的要求。

3.4.2 WDT 看门狗复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，看门狗定时器溢出，此时系统复位。看门狗复位后，系统重启进入正常状态。

- 看门狗定时器状态：系统检测看门狗定时器是否溢出，若溢出，则系统复位；
- 系统初始化：所有的系统寄存器被置为初始化默认值；
- 振荡器开始工作：振荡器开始提供系统时钟；
- 执行程序：上电结束，程序开始运行；

看门狗定时器应用注意事项：

- ◆ 对看门狗清零之前，检查 I/O 口的状态和 RAM 的内容可增强程序的可靠性；
- ◆ 不能在中断中对看门狗清零，否则无法检测到主程序跑飞的情况；
- ◆ 程序中应该只在主程序中有一次清看门狗的动作，这种架构能够最大限度的发挥看门狗的保护功能。



3.4.3 POR 上电复位

上电复位与 LVR 操作密切相关。系统上电的过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。

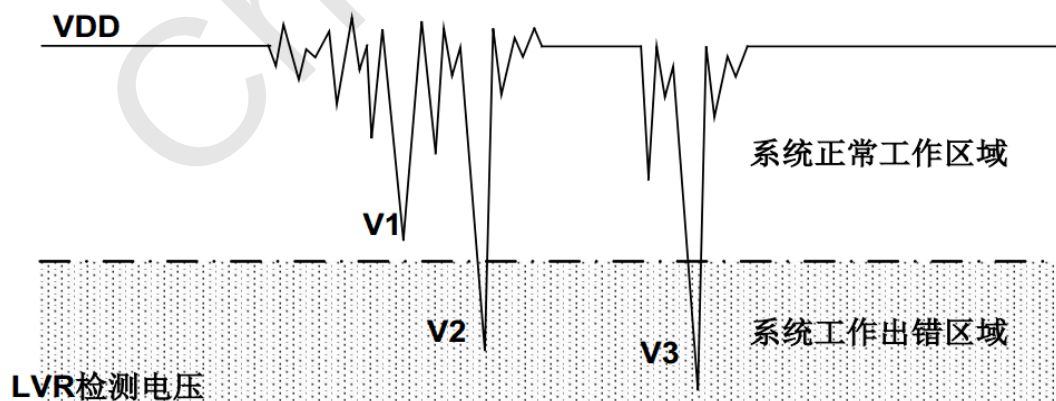
- 上电：系统检测到电源电压上升并等待其稳定；
- 外部复位（仅限于外部复位引脚使能状态）：系统检测外部复位引脚状态。如果不为高电平，系统保持复位状态直到外部复位引脚释放；
- 系统初始化：所有的系统寄存器被置为初始值；
- 振荡器开始工作：振荡器开始提供系统时钟；
- 执行程序：上电结束，程序开始运行；

上电复位时间由 OPTION 中的【复位时间】选择决定，如下表所示：

PWRT 与 WDT	复位建立时间
PWRT=WDT	4.5ms (跟随看门狗复位时间)
PWRT=WDT	18ms (跟随看门狗复位时间)
PWRT=WDT	72ms (跟随看门狗复位时间)
PWRT=WDT	288ms (跟随看门狗复位时间)
PWRT ≠ WDT	140us (独立固定复位时间)

3.4.4 LVR 低电压复位

掉电复位针对外部因素引起的系统电压跌落情形（例如，干扰或外部负载的变化），掉电可能会引起系统工作状态不正常或程序执行错误。





电压跌落可能会进入系统死区。系统死区意味着电源不能满足系统的最小工作电压要求。上图是一个典型的掉电复位示意图。图中，VDD 受到严重的干扰，电压值降的非常低。虚线以上区域系统正常工作，在虚线以下的区域内，系统进入未知的工作状态，这个区域称作死区。当 VDD 跌至 V1 时，系统仍处于正常状态；当 VDD 跌至 V2 和 V3 时，系统进入死区，则容易导致出错。以下情况系统可能进入死区：

DC 运用中：

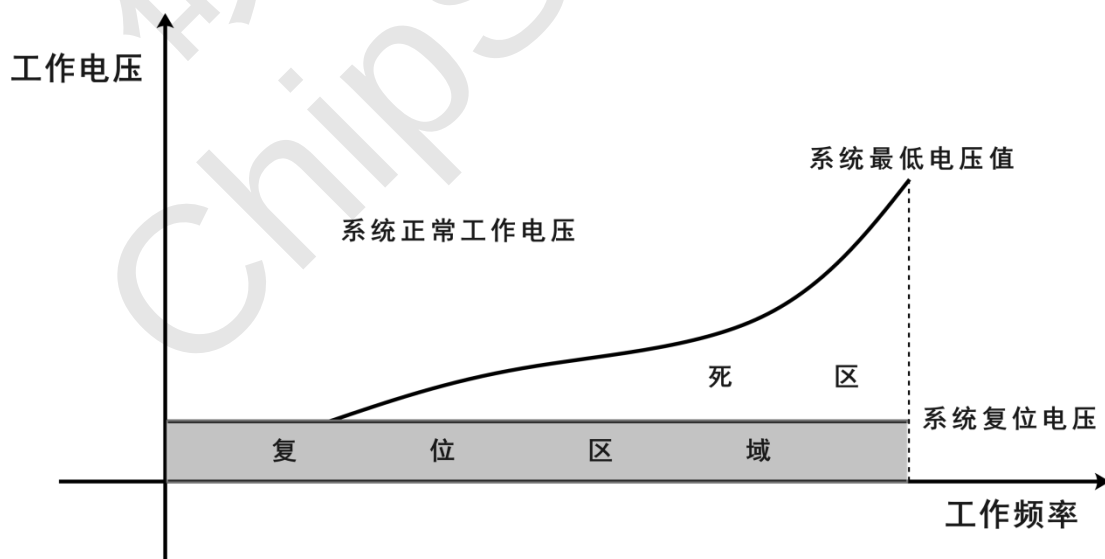
DC 运用中一般都采用电池供电，当电池电压过低或单片机驱动负载时，系统电压可能跌落并进入死区。这时，电源不会进一步下降到 LVR 检测电压，因此系统维持在死区。

AC 运用中：

系统采用 AC 供电时，DC 电压值受 AC 电源中的噪声影响。当外部负载过高，如驱动马达时，负载动作产生的干扰也影响到 DC 电源。VDD 若由于受到干扰而跌落至最低工作电压以下时，则系统将有可能进入不稳定工作状态。在 AC 运用中，系统上、下电时间都较长。其中，上电时序保护使得系统正常上电，但下电过程却和 DC 运用中情形类似，AC 电源关断后，VDD 电压在缓慢下降的过程中易进入死区。

3.4.5 工作频率与 LVR 低压检测关系

为了改善系统掉电复位的性能，首先必须明确系统具有的最低工作电压值。系统最低工作电压与系统执行速度有关，不同的执行速度下最低工作电压值也不同。



如上图所示，系统正常工作电压区域一般高于系统复位电压，同时复位电压由低电压检测（LVR）电平决定。当系统执行速度提高时，系统最低工作电压也相应提高，但由于系统复



位电压是固定的，因此在系统最低工作电压与系统复位电压之间就会出现一个电压区域，系统不能正常工作，也不会复位，这个区域即为死区。

为避免出现死区电压，在选择工作频率的时候，要选择相应的 LVR 复位电压点。如下表：

IRC 频率	系统时钟倍频	Clocks 分频	LVR 复位电压点
IRC-8MHz	倍频	2 Clocks	LVR=2.8V
IRC-8MHz	不倍频	2 Clocks	LVR=2.4V
IRC-1MHz	倍频	2 Clocks	LVR=1.8V
IRC-1MHz	不倍频	2 Clocks	LVR=1.8V

注：1、工作频率=指令周期频率=IRC 频率+Clocks 分频；2、此工作频率和 LVR 复位电压点的对应值，只是推荐值，用户在使用过程中，根据用于的具体应用场合可以适当的调整复位电压点。



3.5 工作模式

ZH2521 可以在 4 种工作模式下以不同的时钟频率工作，这些模式可以控制振荡器的工作、程序的执行以及模拟电路的功能损耗。

- 高速模式：系统时钟选择高速 IRC 时钟；
- 低速模式：系统时钟选择内部低速时钟；
- 空闲模式：系统时钟正常工作，其他部分进入睡眠（TC0、TC1、TC2 选择系统时钟可继续工作并可唤醒系统、端口状态变化均可唤醒系统）；
- 睡眠模式：所有功能暂停工作，系统进入睡眠，可端口状态变化唤醒、WDT 溢出唤醒、外部复位引脚输入唤醒；

功能模块	高速模式	低速模式	空闲模式	睡眠模式
IHRC	运行	STPHX 控制	STPHX 控制	停止
ILRC	运行	运行	运行	停止
CPU 指令	执行	执行	停止	停止
TC0	可工作	可工作	可工作	停止
TC1	可工作	可工作	可工作	停止
TC2	可工作	可工作	可工作	停止
内部中断	全部有效	全部有效	TC0, TC1, TC2 有效	有效
外部中断	有效	有效	无效	有效
唤醒功能	—	—	P51C, P61C, TC0, TC1, TC2, WDT, 外部 RESET	P51C, P61C, WDT, 外部 RESET
看门狗定时器	WDT 选项控制	WDT 选项控制	WDT 选项控制	WDT 选项控制



3.5.1 高速模式

高速模式是系统高速时钟工作模式，系统时钟源由高速 RC 振荡器提供。程序被执行。上电复位或任意一种复位触发后，系统进入高速模式执行程序。当系统从睡眠模式被唤醒后进入高速模式。高速模式下，高速振荡器正常工作，功耗最大。

- ◆ 程序被执行，所有的功能都可控制；
- ◆ 系统速率为高速；
- ◆ 高速振荡器和内部低速振荡器都正常工作；
- ◆ 通过 CPU 模式控制寄存器，系统可以从高速模式切换到其它任何一种工作模式；
- ◆ 系统从睡眠模式唤醒后进入高速模式；
- ◆ 低速模式可以切换到高速模式；
- ◆ 从高速模式进入到空闲模式，唤醒后返回到高速模式；

3.5.2 低速模式

低速模式为系统低速时钟工作模式。系统时钟源由内部低速 RC 振荡器提供。低速模式由 CPU 模式控制寄存器的 CLKMD 位控制。当 CLKMD=0 时，系统为高速模式；当 CLKMD=1 时，系统进入低速模式。进入低速模式后，不能自动禁止高速振荡器，必须通过 SPTHX 位来禁止以减少功耗。

- ◆ 程序被执行，所有的功能都可控制；
- ◆ 系统速率为低速；
- ◆ 内部低速 RC 振荡器正常工作，高速振荡器由 SPTHX=1 控制。低速模式下，强烈建议停止高速振荡器；
- ◆ 通过 CPU 模式控制寄存器，低速模式可以切换进入其它的工作模式；
- ◆ 从低速模式进入到睡眠模式，唤醒后返回到低速模式；
- ◆ 高速模式可以切换到低速模式；
- ◆ 从低速模式进入到空闲模式，唤醒后返回到低速模式；



3.5.3 空闲模式

空闲模式是另外一种理想状态。在睡眠模式下，所有的功能和硬件设备都被禁止，但在空闲模式下，系统时钟保持工作，空闲模式下的功耗大于睡眠模式下的功耗。空闲模式下，不执行程序，但具有唤醒功能的定时器和 PWM 仍正常工作，定时器和 PWM 的时钟源为仍在工作的系统时钟。空闲模式下，有 3 种方式可以将系统唤醒：1、P5/P6 端口状态变化触发；2、TC0 定时器唤醒；3、TC1/TC2 周期溢出唤醒。用户可以给定时器 TC0 或者 TC1、TC2 设定固定的周期，系统就在溢出时被唤醒。由 CPU 模式控制寄存器 IDLE 位决定是否进入空闲模式，当 IDLE=1，系统进入空闲模式。

- ◆ 程序停止执行，所有的功能被禁止；
- ◆ 具有唤醒功能的定时器正常工作；
- ◆ 作为系统时钟源的振荡器正常工作，其它的振荡器工作状态取决于系统工作模式的配置；
- ◆ 由高速模式进入到空闲模式，被唤醒后返回到高速模式；
- ◆ 由低速模式进入到空闲模式，被唤醒后返回到低速模式；
- ◆ 空闲模式下的唤醒方式为 P5/P6 端口状态变化触发唤醒、TC0 定时器溢出和 TC1、TC2 周期溢出；
- ◆ 空闲模式下 TC0 和 TC1、TC2 功能仍然有效；

3.5.4 睡眠模式

睡眠模式是系统的理想状态，不执行程序，振荡器也停止工作。整个芯片的功耗低于 1uA。睡眠模式可以由 P5/P6 端口状态变化触发唤醒、外部复位引脚输入、WDT 溢出。从高速模式或者低速模式进入睡眠模式，被唤醒后将返回到对应模式。由 CPU 模式控制寄存器的 IDLE 位控制是否进入睡眠模式，当 IDLE=0，系统进入睡眠模式。

- ◆ 程序停止执行，所有的功能被禁止；
- ◆ 所有的振荡器，包括外部高速振荡器、内部高速振荡器和内部低速振荡器都停止工作；
- ◆ 功耗低于 1uA；
- ◆ 由高速模式进入到睡眠模式，被唤醒后返回到高速模式；
- ◆ 由低速模式进入到睡眠模式，被唤醒后返回到低速模式；
- ◆ 睡眠模式的唤醒源为 P5、P6 端口输入变化触发、外部复位引脚输入、WDT 溢出；



3.6 系统时钟

ZH2521 内部集成了 2 种振荡器，分别为高速振荡器 IHRC 和低速振荡器 ILRC，可以通过相应配置实现系统时钟的切换。具体参看下表：

振荡器类型	高速模式	低速模式	说明
IHRC	运行	-	通过 OPTION 配置 IRC 频率选择： 910KHz/1MHz/8MHz
ILRC	-	运行	默认 16KHz

注：高低速模式切换通过 CPUCON 寄存器的 STPHX 位和 CLKMD 位实现。

3.6.1 内部 RC 振荡器

ZH2521 提供内部 IHRC 和 ILRC，IHRC 频率默认值为 8MHz。

IHRC 振荡模式包含 8MHz、1MHz、910KHz 三种频率值。通过设置 OPTION 的配置位，可选择 IRC 工作频率，下面是它们的对应关系：

振荡器频率	IRC 频率
8 M	IRC 频率选为 8MHz
1 M	IRC 频率选为 1MHz
910K	IRC 频率选为 910KHz

ZH2521 提供了多种指令时钟分频选择，系统默认 2 分频。可以在 OPTION 配置中选择，如下表：

Clocks	Clocks 分频
2clock	分频为 2clock
4clock	分频为 4clock
8clock	分频为 8clock
16clock	分频为 16clock
32clock	分频为 32clock



3.7 I/O 端口

ZH2521 有 2 组双向 I/O 端口, 共 14 个输入, 14 个输出, 大部分 I/O 可以复用为其它功能。

8 个驱动增强 I/O 引脚: P60~P67;

6 个可配置选择驱动增强 I/O 引脚: P50~P55;

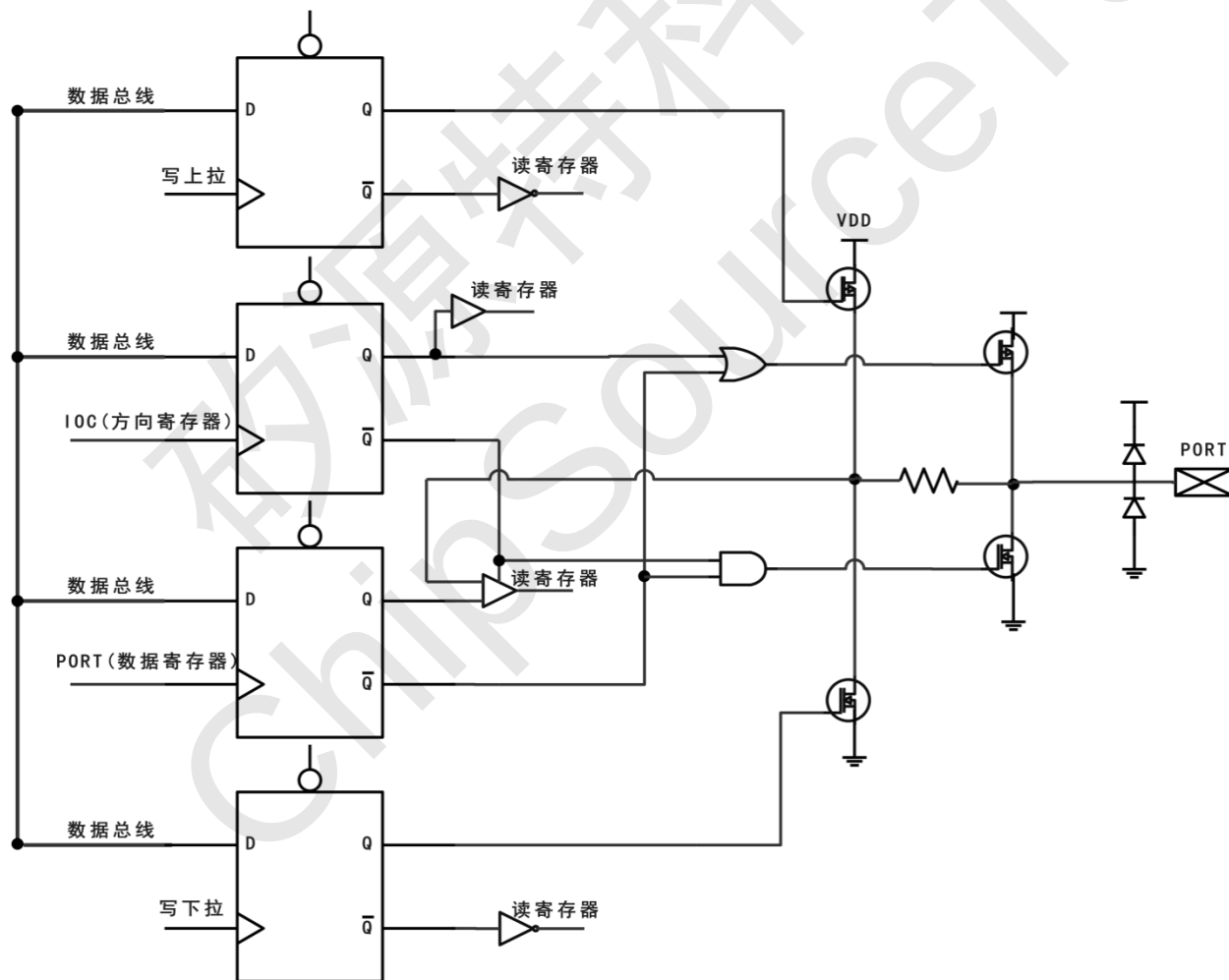
14 个可编程上拉 I/O 引脚: P50~P55、P60~P67;

14 个可编程下拉 I/O 引脚: P50~P55、P60~P67;

14 个可编程端口状态变化唤醒 I/O 引脚: P50~P55、P60~P67;

3.7.1 GPIO 内部结构图

以下内部结构图仅供参考理解, 并不代表实际电路。



IO 控制寄存器/数据寄存器/上拉/下拉结构电路



3.7.2 端口状态变化唤醒

ZH2521 包含 14 个可编程端口状态变化唤醒 I/O: P50~P55、P60~P65。芯片执行“SLEEP”指令可以进入到睡眠模式。此时，系统时钟停止，所有模块停止工作，WDT（若使能）清 0，但继续运行。端口状态变化唤醒可以通过程序选择继续原有的进程（SLEEP 前执行 DI）或执行相应的跳转（SLEEP 前执行 EI），并打开相应的使能控制位，跳转到中断子程序。

端口输入改变查询方式唤醒设置

- 1、P5/P6 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上拉或下拉；
- 3、使能端口输入改变独立中断及唤醒控制；
- 4、执行 DI 指令，不进入中断地址口；
- 5、执行“SLEEP”指令，进入睡眠 SLEEP 模式；
- 6、唤醒后，执行 SLEEP 的下一条指令；

端口输入改变中断方式唤醒设置

- 1、P5/P6 端口唤醒口设为输入；
- 2、可以根据需要选择唤醒口的内部上下拉；
- 3、使能端口输入改变独立中断及唤醒控制；
- 4、使能 P5/P6 端口输入改变中断；
- 5、执行“EI”指令，等待进入中断地址口；
- 6、下指令“SLEEP”，进入睡眠 SLEEP 模式；
- 7、唤醒后会进入中断地址口，退出中断后，执行 SLEEP 下一条指令；



3.7.3 端口施密特参数

ZH2521 端口的施密特特性，表格如下（仅作参考）：

端口	SMT
P6. 3	0. 51*VDD
P6. 0~P6. 2	0. 26*VDD/0. 53*VDD
P6. 4~P6. 5	0. 26*VDD/0. 53*VDD

以上参数仅做参考，请以目标样机实测数据为准。



3.8 定时计数器

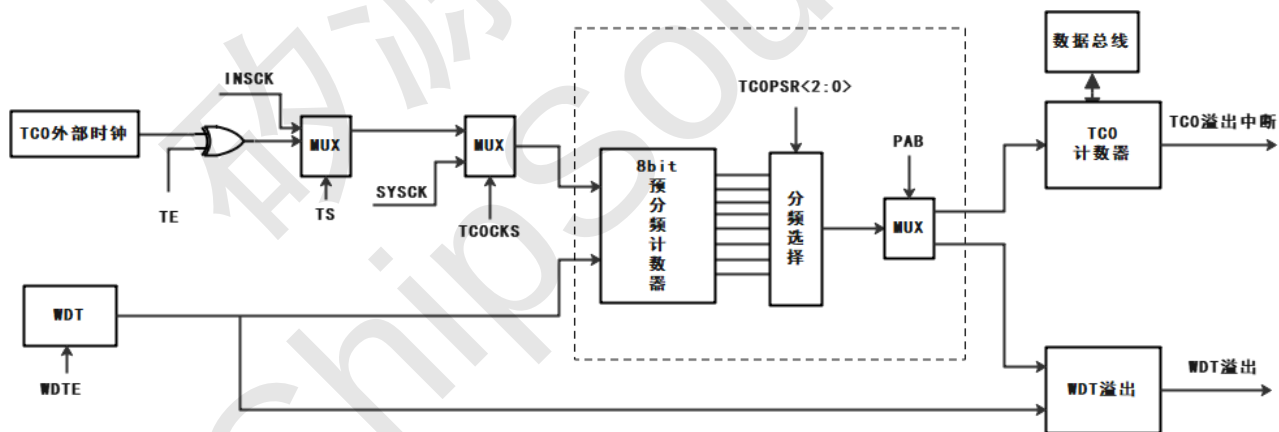
3.8.1 TC0 定时计数器

ZH2521提供一个 8 位计数器作为TC0和WDT的预分频器。预分频器在同一时间内仅供TC0或仅供WDT使用，且由TC0CON寄存器里的PAB位来决定预分频器的分配。PSR0~PSR2三位决定预分频比。在TC0模式下每次TC0被写入一个值，预分频寄存器就被清零。当预分频器分配到WDT模式，当执行“CWDT”或“SLEEP”指令时，WDT和预分频寄存器的值被清零。如果预分频器先分配给TC0然后分配给WDT，预分频计数器的内容将自动清除，反之亦然。

TC0 是一个 8Bit 上行计数器，只要有时钟就工作。时钟源既可以是系统时钟、指令周期时钟或低速振荡器时钟（上升沿触发），也可以选择外部时钟（由 TC0 引脚输入，触发沿可选），如果没有分频控制，每个时钟沿到来，计数器实现加 1。系统提供一个 8Bit 计数器作为 TC0 的预分频器。可以通过 TC0CON 寄存器设置 TC0 预分频、信号触发沿、时钟源等。

TC0 计数溢出可以形成中断信号。

在 IDLE 模式下，TC0 中断可以唤醒电路，唤醒后可以选择进中断或者继续执行原程序，方法参考端口状态变化唤醒。



TC0/WDT 结构框图

3.8.1.1 TC0 定时设置说明

- 给 TC0 寄存器赋初始值；
- 设置 TC0CON 寄存器的值（选择时钟预分频、信号触发沿、时钟源）；
- 作为计数器使用，需要在 TC0CON 寄存器选择 TC0 外部信号为正沿或负沿加 1；
- 若需要执行中断功能，须设置 IOCF 寄存器中的 TC0IE (Bit0) 为 1，并执行 EI 指令；



- 中断程序部分将手动保存 ACC、STATUS 及 R4 于堆栈器中，执行 RETI 指令后，再自堆栈中取出，退出中断前要清楚 TCO 中断标志位；

3.8.1.2 TCO 定时计算说明

TCO 定时功能通过写值到 TCO 寄存器，给定时器赋初始值，定时器从初始值位置开始累加，直至定时器溢出产生中断。

TCO 定时时间计算公式（选择内部指令周期时钟）：

$$\text{TCO 定时时间} = (\text{系统时钟分频}/F_{\text{osc}}) \times (\text{TCO 分频}) \times (256 - \text{TCO 初始值})$$

示例：

系统时钟分频=2clock, $F_{\text{osc}}=8\text{ MHz}$, TCO 分频选择=4 分频, TCO 初始值=156;

$$\text{TCO 定时时间} = (2/8) \times (4) \times (256 - 156) = 100\text{ us}$$

TCO 定时时间计算公式（选择外部输入时钟）：

$$\text{TCO 定时时间} = (\text{外部输入时钟}) \times (\text{TCO 分频}) \times (256 - \text{TCO 初始值})$$

示例：

外部输入时钟=1 MHz, TCO 分频选择=4 分频, TCO 初始值=156;

$$\text{TCO 定时时间} = (1) \times (4) \times (256 - 156) = 400\text{ us}$$

3.8.1.3 TCO 定时门控说明

TCO 定时器的门控功能由 WDTCON 寄存器的 TCOGATE<3:0>进行控制。

当 TCOGATE<0>=1 时, TC2 定时开启 TCO 外部计数功能（P62 作为外部计数端口）TC2 周期溢出时使能计数，下一个 TC2 周期溢出时停止计数且 TCOGATE<0>自动清 0；

当 TCOGATE<1>=1 时, TCO 外部计数使能（P62 作为外部计数端口）；

当 TCOGATE<2>=1 时, TCO 计数由 INT 控制，当 INTEDG1=1 时 INT 为低时 TCO 计数，当 INTEDG0=1 时 INT 为高 TCO 计数；

当 TCOGATE<3>=1 时, TCO 计数由 CMPOUT 控制，当 CMPOUT=1 时 TCO 计数。

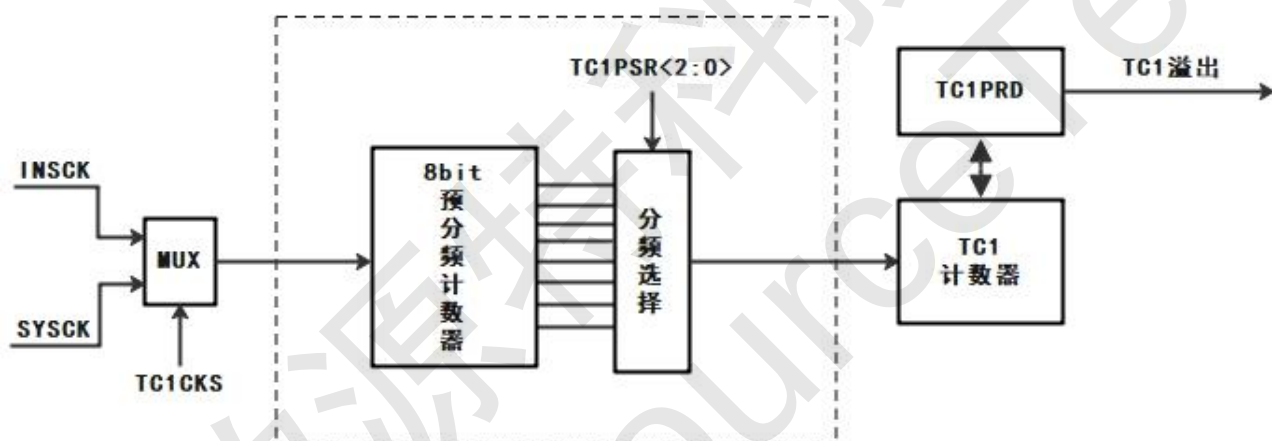


3.8.2 TC1 定时计数器

TC1 定时计数器提供一个 8 位预分频器, TC1CON 寄存器的 TC1PSR<2:0>三位决定预分频比。在 TC1 模式下每次 TC1EN/TC21EN 使能后使能 TC1PTEN, 预分计数器开始工作。

TC1 是一个 10Bit 上行计数器。TC1 定时器需使能 TC1EN/TC21EN 才能工作, 时钟源是内部指令时钟/内部系统时钟, 每个时钟周期到来, 计数器实现加 1。TC1 计数值与 TC1PRD 寄存器设定值一致产生溢出, 若使能 TC1IE 及 EI, 系统跳转到对应的中断向量地址, 执行中断服务程序。

在 IDLE 模式下, TC1 中断可以唤醒电路(时钟选择系统时钟), 唤醒后可以选择进中断或者继续执行原程序, 方法参考端口状态变化唤醒。



TC1 结构框图

3.8.2.1 TC1 定时计算说明

TC1 定时功能通过写值到 TC1PRD 寄存器, 当 TC1 定时器计数值与 TC1PRD 值一致时, 产生 TC1 定时中断。

TC1 定时时间计算公式:

$$\text{TC1 定时时间} = (1/F_{\text{osc}}) \times (\text{TC1 分频}) \times (\text{TC1PRD})$$

示例:

$F_{\text{osc}}=1 \text{ MHz}$, TC1 分频选择=4 分频, TC1PRD=500;

$$\text{TC1 定时时间} = (1/1) \times (4) \times (500) = 2000\mu\text{s}$$

3.8.2.2 TC1 10Bit 定时设置说明

- 1、给 TC1PRDL、TC1PRDH 寄存器赋初始值;
- 2、设置 TC1CON 寄存器, 按需使能自动加载、配置预分频比;
- 3、使能 TC1EN, 打开 TC1 定时器计数;
- 4、若需要执行中断功能, 须设置 IOCF 寄存器中的 TC1IE (Bit0) 为 1, 并执行 EI 指令;



5、中断程序部分将手动保存 ACC、STATUS 及 R4 于堆栈器中，执 RET 指令后，再自堆栈中取出；

矽源特科技
ChipSourceTek

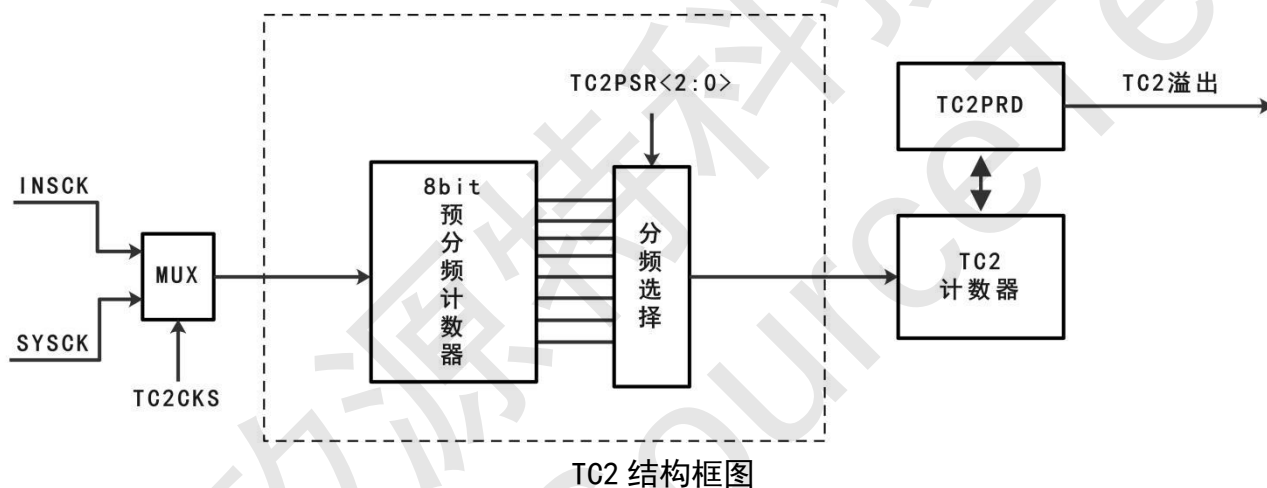


3.8.3 TC2 定时计数器

TC2 定时计数器提供一个 8 位预分频器, TC2CON 寄存器的 TC2PSR<2:0>三位决定预分频比。在 TC2 模式下每次 TC2EN/TC21EN 使能后使能 TC2PTEN, 预分计数器开始工作。

TC2 是一个 10Bit 上行计数器。TC2 定时器需使能 TC2EN/TC21EN 才能工作, 时钟源是内部指令时钟/内部系统时钟, 每个时钟周期到来, 计数器实现加 1。TC2 计数值与 TC2PRD 寄存器设定值一致产生溢出, 若使能 TC2IE 及 EI, 系统跳转到对应的中断向量地址, 执行中断服务程序。

在 IDLE 模式下, TC2 中断可以唤醒电路(时钟选择系统时钟), 唤醒后可以选择进中断或者继续执行原程序, 方法参考端口状态变化唤醒。



3.8.3.1 TC2 定时计算说明

TC2 定时功能通过写值到 TC2PRD 寄存器, 当 TC2 定时器计数值与 TC2PRD 值一致时, 产生 TC2 定时中断。

TC2 定时时间计算公式:

$$TC1 \text{ 定时时间} = (1/F_{osc}) \times (TC1 \text{ 分频}) \times (TC2PRD)$$

示例:

$F_{osc}=1 \text{ MHz}$, TC2 分频选择=4 分频, TC2PRD=1000;

$$TC1 \text{ 定时时间} = (1/1) \times (4) \times (1000) = 4000\mu s$$

3.8.3.2 TC2 10Bit 定时设置说明

- 1、给 TC2PRDL、TC2PRDH 寄存器赋初始值;
- 2、设置 TC2CON 寄存器, 按需使能自动加载、配置预分频比;
- 3、使能 TC2EN, 打开 TC2 定时器计数;
- 4、若需要执行中断功能, 须设置 IOCF 寄存器中的 TC2IE (Bit0) 为 1, 并执行 EI 指令;



5、中断程序部分将手动保存 ACC、STATUS 及 R4 于堆栈器中，执 RET 指令后，再自堆栈中取出；

矽源特科技
ChipSourceTek



3.9 PWM 脉宽调制

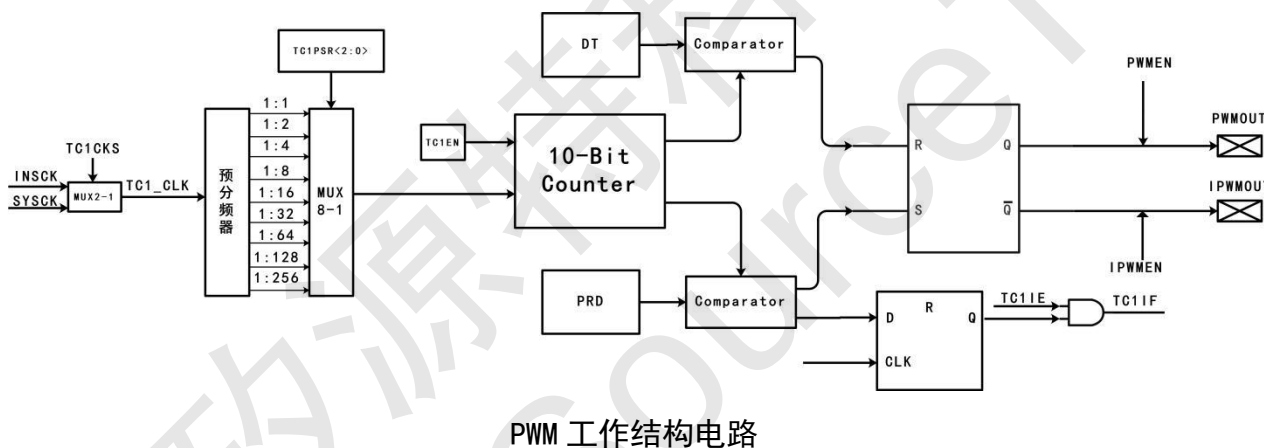
ZH2521 提供 2 组 10 bit TC1、TC2 计数器,用来产生 2 组共周期的脉宽调制信号。PWM1、PWM2、PWM3 为共用 TC1 计数器的一组脉宽调制信号, PWM4、PWM5、PWM6 为共用 TC2 计数器的一组脉宽调制信号。

TC1、TC2 带有周期溢出中断, 使能后可在计数器匹配周期数值时跳转到中断向量地址。

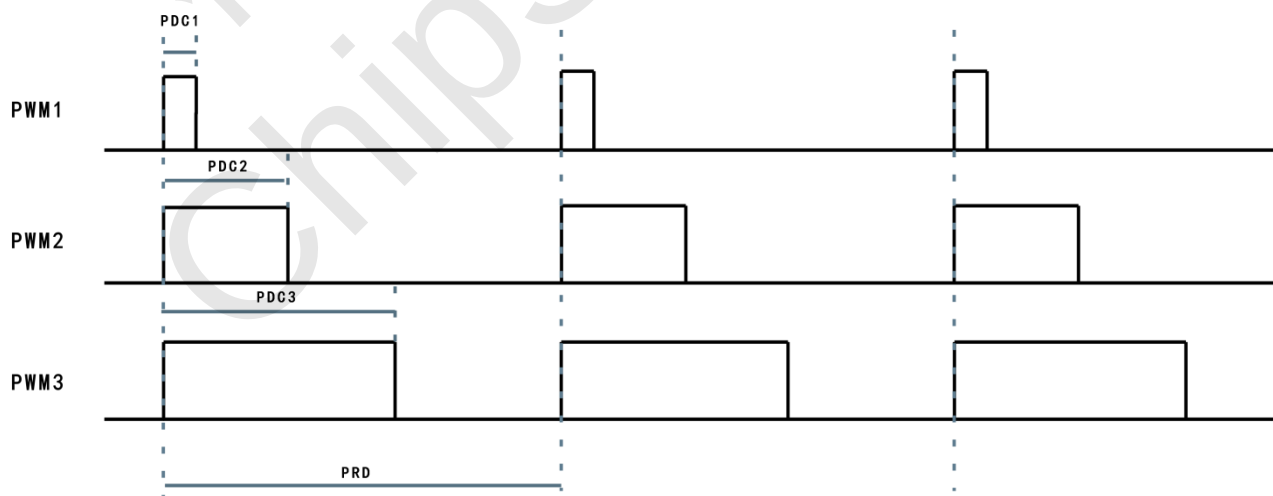
在 IDLE (空闲模式) 下, TC1、TC2 在 TC1、TC2 控制寄存器中选择 TC1CKS=1、TC2CKS=1 并且在 CPU 模式控制寄存器中使能 TC1WE、TC2WE 可唤醒系统。

3.9.1 PWM 内部结构与时序

以下内部结构图仅供参考理解, 并不代表实际电路。



PWM 工作结构电路



3 路共周期 PWM 时序说明



3.9.2 PWM 周期与占空比

PWM1、PWM2、PWM3 共用一个时钟分频器和一个 10bit 计数器（TC1 计数器），TC1 计数器作为 PWM123 的波特率时钟发生器。可通过使能 TC1 控制寄存器中的 TC1EN，使能 TC1 计数器功能，通过 TC1PTEN 及 TC1PSR<2:0>控制位，可进行 TC1 计数器的预分频设置。

PWM4、PWM5、PWM6 共用一个时钟分频器和一个 10bit 计数器（TC2 计数器），TC2 计数器作为 PWM456 的波特率时钟发生器。可通过使能 TC2 控制寄存器中的 TC2EN，使能 TC2 计数器功能，通过 TC2PTEN 及 TC2PSR<2:0>控制位，可进行 TC2 计数器的预分频设置。

TC2 与 TC1 的原理相同，下面以 TC1 为例。

PWM 周期通过写值到 PWM 周期寄存器（TC1PRDTH, TC1PRDL），当 TC1 计数器的值与 TC1PRD 值相等，在下一个递增周期发生如下事件：

- TC1 计数器清零；
- 对应 PWM 输出引脚置高电平；
- 产生 PWM 周期溢出中断（若使能）；

PWM 周期计算公式：

$$\text{PWM 周期} = (\text{PRD}) \times \left(\frac{1}{F_{\text{OSC}}}\right) \times (\text{T1 分频})$$

示例：

TC1PRD=100, $F_{\text{osc}}=8 \text{ MHz}$, TC1 分频选择=2 分频；

$$\text{PWM 周期} = (100) \times \left(\frac{1}{8}\right) \times (2) = 25 \text{ us}$$

PWM 占空比计算公式：

$$\text{PWM 占空比} = (\text{PWMDT}) \times \left(\frac{1}{F_{\text{OSC}}}\right) \times (\text{T1 分频})$$

示例：

PWMDT=50, $F_{\text{osc}}=8 \text{ MHz}$, T1 分频选择=2 分频；

$$\text{PWM 占空比} = (50) \times \left(\frac{1}{8}\right) \times (2) = 12.5 \text{ us}$$

3.9.3 PWM 门控功能说明

PWM1 的门控功能由 TC1CON 寄存器的 PWM1GATE 进行控制。当 PWM1GATE=1 时，PWM1 输出由比较器结果控制，即 CMPOUT=0 时输出 PWM 波形。



PWM4 的门控功能由 TC2CON 寄存器的 PWM4GATE<1:0> 进行控制。当 PWM4GATE<0>=1 时, PWM4 输出由比较器结果控制, 即 CMPOUT=0 时输出 PWM 波形。当 PWM4GATE<1>=1 时, PWM4 输出由外部中断 INT 控制 (P60 或 P63), 当外部中断 INT=1 时输出 PWM 波形。

3.9.4 PWM 死区互补功能说明

PWM1 和 IPWM1 组成一组死区互补 PWM, PWM4 和 IPWM4 组成一组死区互补 PWM。以 PWM1 和 IPWM1 进行说明, PWM4 和 IPWM4 同理。

IPWM1 是 PWM2 与 PWM3 异或后的输出。当使能 IPWM1EN 后 MCU 会自动使能 PWM2 和 PWM3, 并且将 PWM2 和 PWM3 的波形进行逻辑异或, 若使能了 PWM2EN, 则 IPWM1 通过 PWM2 口输出, PWM2S 选择 P51/P61。若使能了 PWM3EN, 则 IPWM1 通过 PWM3 口输出, PWM3S 选择 P50/P60。同时使能支持同时从两个端口输出 IPWM1 波形。

3.9.5 PWM 脉宽调制设置说明

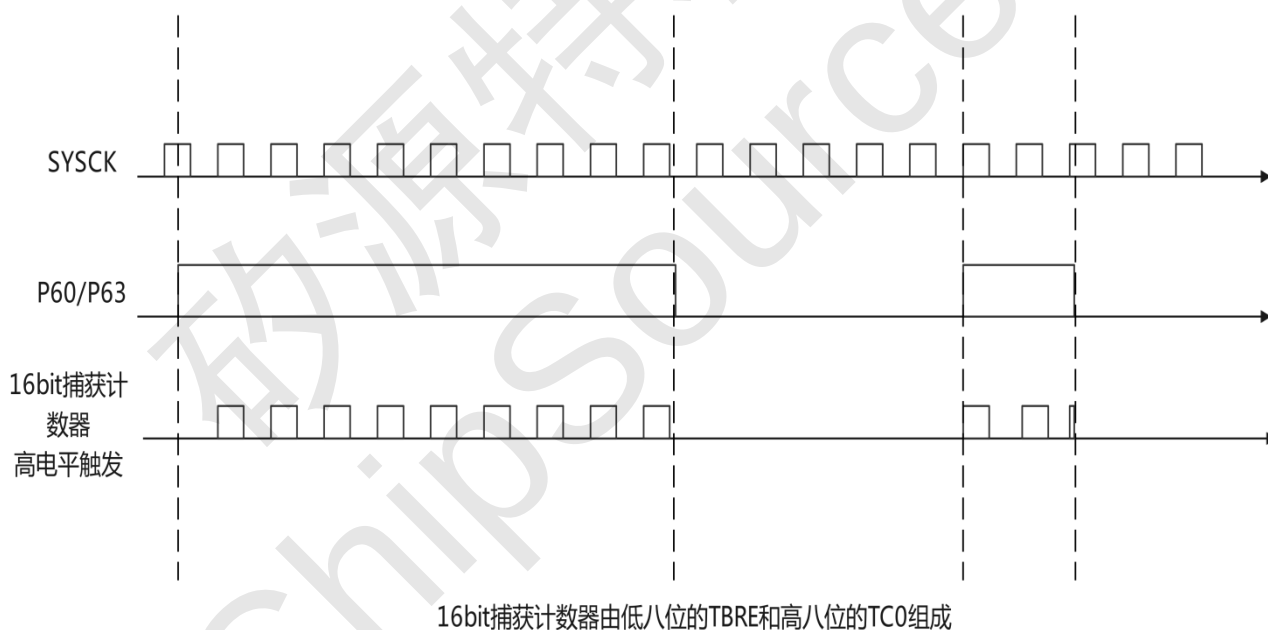
- 设置 CPUCON 寄存器, 可选择 TC1/TC2 唤醒功能;
- 设置 TC1CON /TC2CON 寄存器, 选择相应的 PWM 模式、PWM 门控、PWM 时钟源、PWM 分频比;
- 设置 PWMCON0/PWMCON1 寄存器, 选择相应的 PWM 使能、IPWM 取反输出、PWM 输出通道;
- 设置 PWM 周期、占空比寄存器的值;
- 使能 PWM 周期溢出中断并执行 “EI” 或 “DI” 指令 (如有需要);



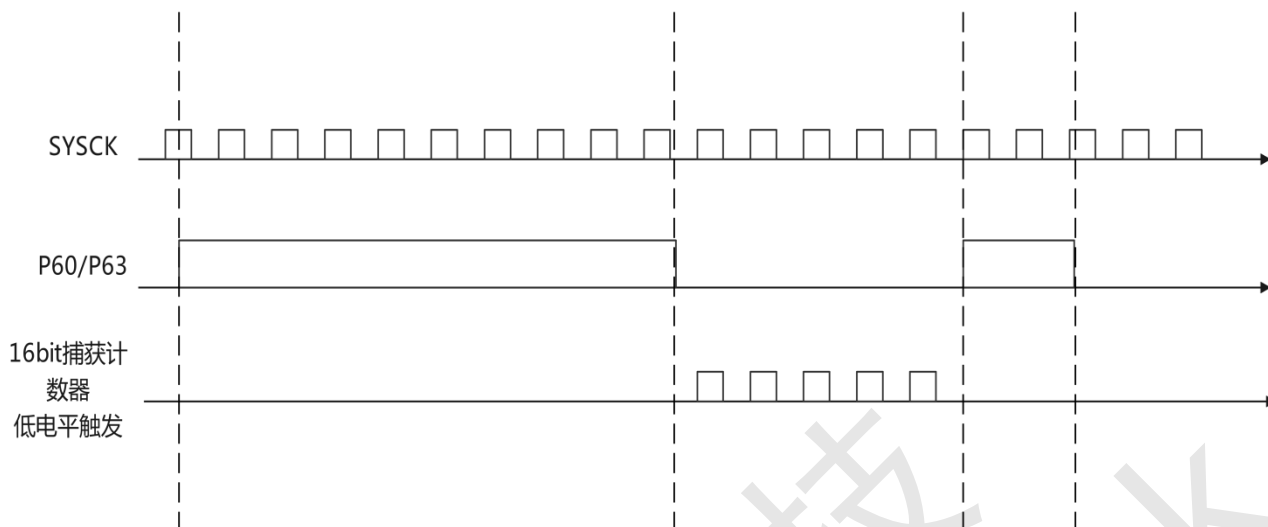
3.10 端口电平捕获

ZH2521 提供 P60/P63 端口电平捕获功能。通过复用 TC0 8Bit 预分频器 TPRES（作为电平捕获计数器低 8 位）和 8Bit 计数器 TC0C（作为电平捕获计数器高 8 位）组合为 16Bit 电平捕获计数器，同时配合外部中断实现电平变化触发中断，在中断程序中判断上一个电平的捕获时间。外部中断可通过 IOCE/WDTCN 寄存器 INTEDG<1:0>选择触发沿，INTS 选择外部中断输入端口。

P60/P63 端口高电平捕获功能说明。首先设置 IOCE/WDTCN 寄存器 TCOGATE<2>=1 选择由外部中断电平控制 TC0 计数器，同时使能 INTEDG<0>=1 外部中断下降沿触发功能，使能外部中断，TCOCON 寄存器选择 TC0 时钟源为系统时钟，最后使能 TCOEN=1。当 P60/P63 端口为高电平时 TC0 预分频器和计数器开始计数，计数时钟为系统时钟，P60/P63 端口为低电平则 TC0 预分频器和计数器停止计数，且端口下降沿触发外部中断，用户通过中断程序中读取 R1/TC0C、IOC9/TPRE 寄存器的计数值，以此计算电平时间。



P60/P63 端口低电平捕获与高电平相似。首先设置 IOCE/WDTCN 寄存器 TCOGATE<2>=1 选择由外部中断电平控制 TC0 计数器，同时使能 INTEDG<1>=1 外部中断上升沿触发功能，使能外部中断，TCOCON 寄存器选择 TC0 时钟源为系统时钟，最后使能 TCOEN=1。当 P60/P63 端口为低电平时 TC0 预分频器和计数器开始计数，计数时钟为系统时钟，P60/P63 端口为高电平则 TC0 预分频器和计数器停止计数，且端口上升沿触发外部中断，用户通过中断程序中读取 R1/TC0C、IOC9/TPRE 寄存器的计数值，以此计算电平时间。

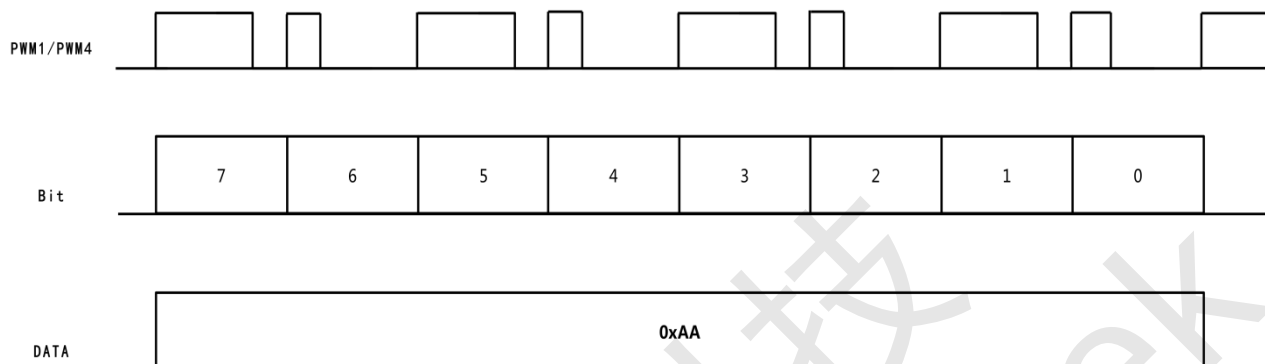


16bit捕获计数器由低八位的TBRE和高八位的TC0组成



3.11 LED 单线级联

ZH2521 支持 2 路单线级联 LED 驱动，通过 PWM1、PWM4 端口输出级联控制时序。级联 LED 驱动时序说明图如下：



单线级联 LED 时序说明



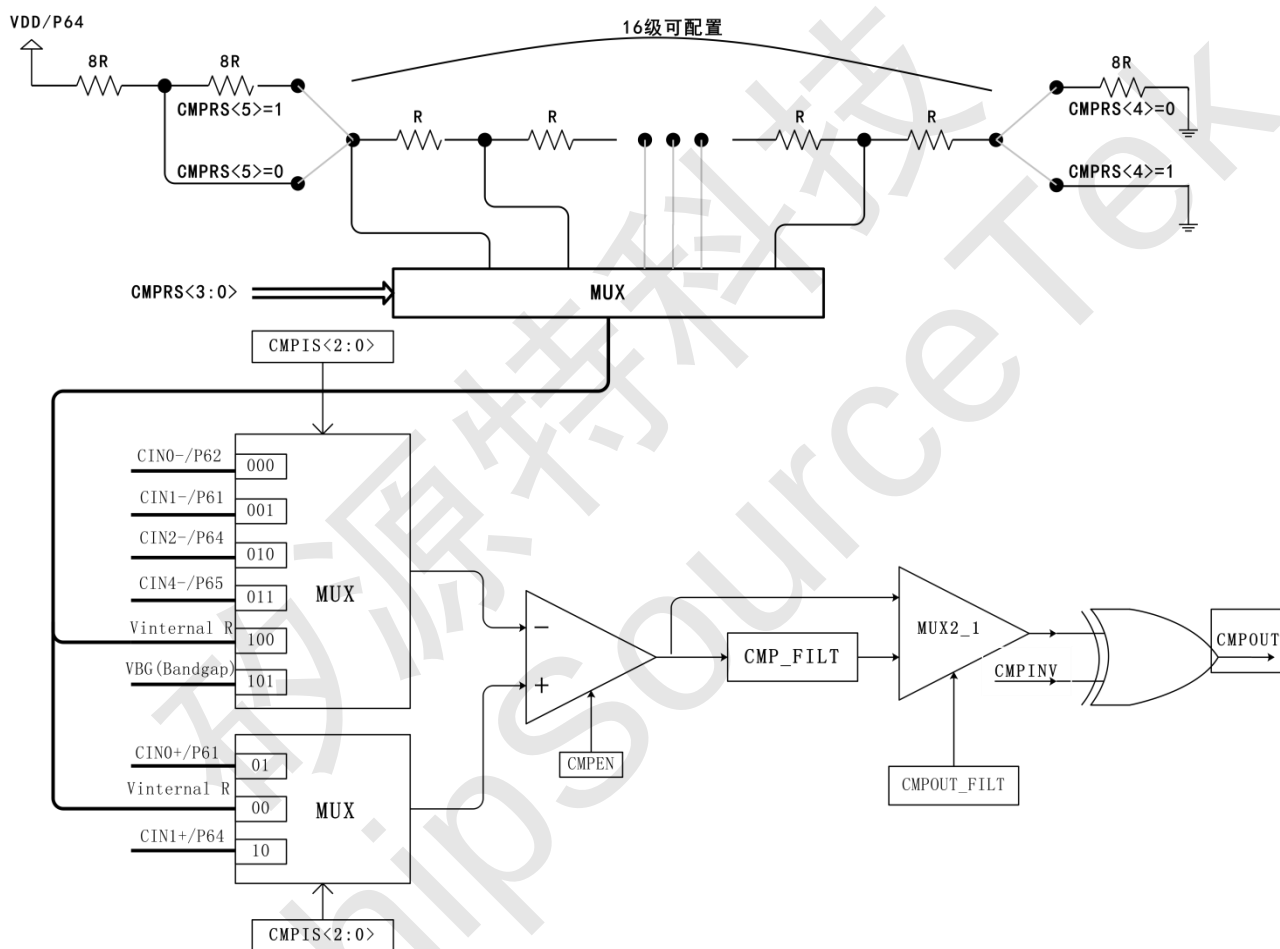
PWM1 和 PWM4 为两路独立的单线级联 LED 驱动控制。当使用 PWM1 作为 LED 驱动控制时，0 码型的高电平时间由 PWM1 占空比寄存器设定，1 码型的高电平时间由 PWM2 占空比寄存器设定，码型数据的周期由 TC1PRD 周期寄存器设定。在使能 PWM1_LEDEN+TC1EN 后开始发送 8 位级联数据，数据由 PWM1 端口输出。8 位级联数据发送结束后 TC1EN 自动复位清零，重新置位 TC1EN 即开始下一个 8 位级联数据的发送。

使用 PWM4 作为 LED 驱动控制时，0 码型的高电平时间由 PWM4 占空比寄存器设定，1 码型的高电平时间由 PWM5 占空比寄存器设定，码型数据的周期由 TC2PRD 周期寄存器设定。在使能 PWM4_LEDEN+TC2EN 后开始发送 8 位级联数据，数据由 PWM4 端口输出。8 位级联数据发送结束后 TC2EN 自动复位清零，重新置位 TC2EN 即开始下一个 8 位级联数据的发送。



3.12 CMP 比较器

ZH2521 内置一个硬件比较器,它可以从输入引脚、内部参考电压 $V_{\text{internal R}}$ 与内置 Bandgap (1.26v) 三者任选其二进行比较,选择其中一个作为正输入,选择其中另一个作为负输入。比较器的负输入可以是 P61、P62、P64、P65、分压电阻(由 CMPRS<5:0>选择)、内置 Bandgap (1.26v)。比较器的正输入可以是 P61、P64、分压电阻(由 CMPRS<5:0>选择)。(同一端口不可同时作为正极和负极输入,分压电阻输入源也不能同时作为正极和负极。)



比较器原理图说明

分压电阻可通过 CMPCON 控制寄存器配置选择输入电压源为 P64 口输入或 VDD。

比较器的输出结果可以选择 P60 口输出,支持输出取反。芯片支持输出结果数字滤波,可在 OPTION 中选择。

比较器支持输出结果变化触发中断,使能 CMPIE 可产生中断信号。

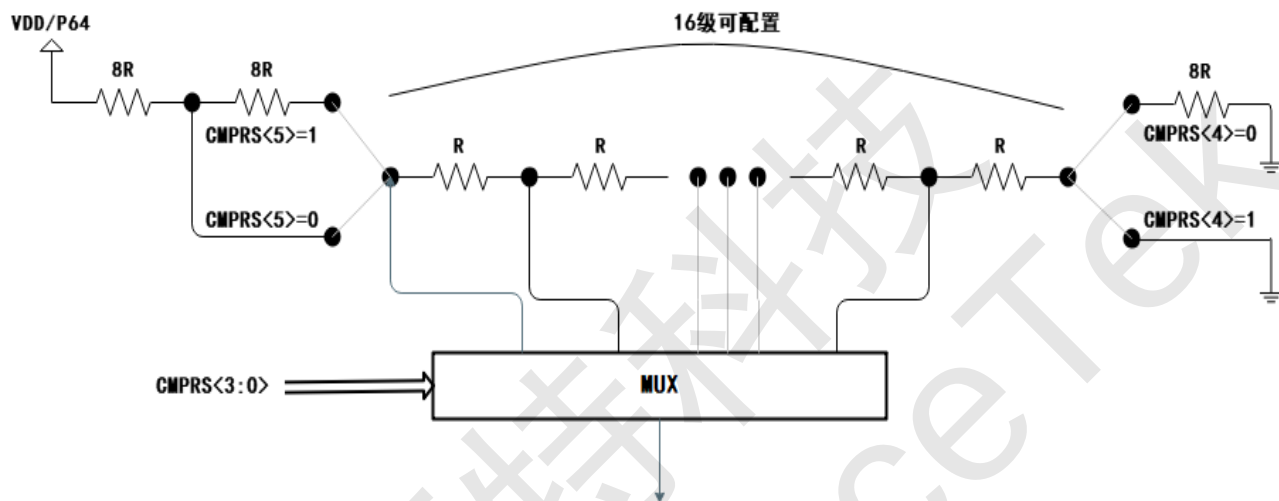
比较器支持输出结果变化唤醒,使能 CMPWE 可唤醒空闲模式和睡眠模式。在空闲模式和睡眠模式下,如果使能 CMPEN,会使能低速振荡器,睡眠功耗会变高。



3.12.1 分压电阻输出电压 $V_{\text{internal R}}$

分压电阻输出电压 $V_{\text{internal R}}$ 由一连串电阻所组成，可以产生不同层次的参考电压。

CMPRS<5:0>共同决定 $V_{\text{internal R}}$ 的大小，CMPRS<5>和 CMPRS<4>选择 $V_{\text{internal R}}$ 的最高和最低值，CMPRS<3:0>用于选择所要的电压水平，是由 $V_{\text{internal R}}$ 的最高和最低值平均分成 16 等分，由 CMPRS<3:0>选择出来。



比较器修调示意图

例 1: CMPRS<5>=0, CMPRS<4>=0

取值范围: $V_{\text{internal R}} = (3/4) * VDD \sim (1/4) * VDD + (1/32) * VDD$

计算公式: $V_{\text{internal R}} = (1/4) * VDD + \frac{(n+1)}{32} * VDD$

例 2: CMPRS<5>=0, CMPRS<4>=1

取值范围: $V_{\text{internal R}} = (2/3) * VDD \sim (1/24) * VDD$

计算公式: $V_{\text{internal R}} = \frac{(n+1)}{24} * VDD$

例 3: CMPRS<5>=1, CMPRS<4>=0

取值范围: $V_{\text{internal R}} = (3/5) * VDD \sim (1/5) * VDD + (1/40) * VDD$

计算公式: $V_{\text{internal R}} = (1/5) * VDD + \frac{(n+1)}{40} * VDD$

例 4: CMPRS<5>=1, CMPRS<4>=1

取值范围: $V_{\text{internal R}} = (1/2) * VDD \sim (1/32) * VDD$

计算公式: $V_{\text{internal R}} = \frac{(n+1)}{32} * VDD$

$n = \text{CMPRS<3:0>}$



3.12.2 比较器配置

使用比较器时需使能 CMPEN，设置 CMPIS<5:0>选择正负极输入源，将正负极的端口设置为输入，同一端口不可同时作为正极和负极输入，分压电阻输入源也不能同时作为正极和负极。

若选择了电阻分压作为输入源，根据需要设置寄存器 CMPRS<5:0>，选择所需的分压电阻输出电压 $V_{\text{internal R}}$ 进行比对。

例 1:

选择 P62 作为负端输入和 $V_{\text{internal R}}$ 的电压为 $(18/32)*VDD$ 作为正输入， $V_{\text{internal R}}$ 选择 CMPRS<5>=0, CMPRS<4>=0 的配置方式，CMPRS<3:0>=4b' 1001 (n=9) 以得到

$$V_{\text{internal R}} = (1/4)*VDD + [(9+1)/32]*VDD = (18/32)*VDD$$

当配置完成后，使能 CMPCON0 (R7) 控制寄存器的 Bit7 位 CMPEN, 比较器开始对比，并可通过配置 CMPCON1 (R8) 控制寄存器的 Bit7 位 CMPOE 选择 P60 口将比较结果输出来 (P60 口需设为输出)，也可通过配置该控制寄存器的 Bit6 位 CMPINV 将输出结果取反

3.12.3 Bandgap 使用方法

内置 Bandgap 参考电压可以提供 1.26V 的电压，它可以测量外部电源电压水平。具体实现可以通过选择 Bandgap 参考电压做负输入去和正输入 $V_{\text{internal R}}$ 比较。将 $V_{\text{internal R}}$ 的电源设置为 VDD，利用调整 $V_{\text{internal R}}$ 电压水平和 Bandgap 参考电压比较，就可以知道 VDD 的电压。如果 n (CMPRS[3: 0] 十进制) 是让 $V_{\text{internal R}}$ 最接近 1.26V，以 3.10.1 中的四种情况为例，VDD 的电压就可以通过下列公式计算：

$$\text{For using Case 1: } VDD = [32/(n+9)] * 1.26V;$$

$$\text{For using Case 2: } VDD = [24/(n+1)] * 1.26V;$$

$$\text{For using Case 3: } VDD = [40/(n+9)] * 1.26V;$$

$$\text{For using Case 4: } VDD = [32/(n+1)] * 1.26V;$$



3.13 RFC 电阻频率转换

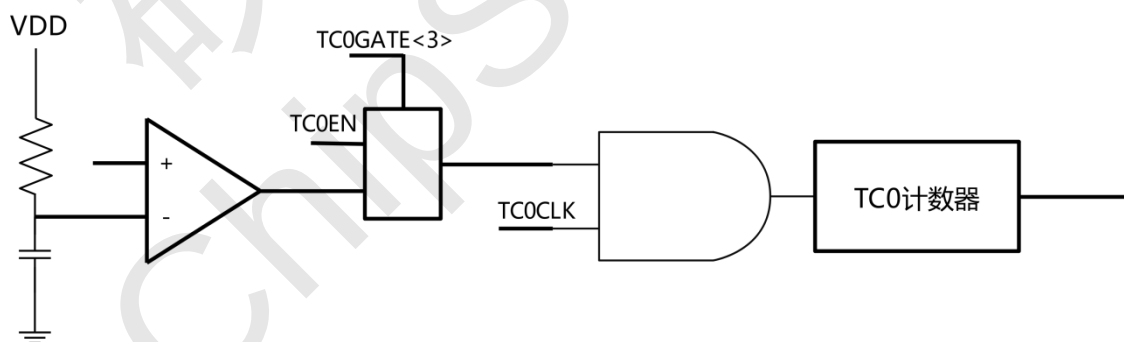
ZH2521 内置 RFC 电阻频率转换功能，通过使用比较器的比较结果控制 TC0 计数，实现对外部电压变化的时间计数。

RFC 原理：

RFC 端口电压的变化影响比较器的输出结果。当使能 WDTCON 寄存器的 TCOGATE<3>位后，TC0 计数由比较器的输出结果 CMPOUT 控制。RFC 端口电压低于比较器正极电压时，CMPOUT=1 且 TC0 开始计数；RFC 端口电压高于比较器正极电压时，CMPOUT=0 且 TC0 停止计数，TC0 计数值记录了 RFC 端口电压充电到预设电压值（比较器正极电压）的时间。

应用步骤：

- 1、设置 P6AE 寄存器，选择比较器的模拟端口；
- 2、设置 CMPCON0、CMPCON1 寄存器，设定比较器的正极输入源为固定电压，设定比较器的负极输入源为外部端口（以图示为例）；
- 3、设置比较器负极输入源的端口输出低电平，对端口电容进行放电；
- 4、清零 TC0 定时器初始值；
- 5、设置比较器负极输入源的端口为模拟输入口，开始采样 RFC 端口电压；
- 6、读取 TC0 计数值，计算 RFC 端口充电时间；



RFC 结构说明图



4. ZH2521 OPTION 配置表

CODE OPTION	选项	功能描述
看门狗	使能	看门狗 WDT 使能
	禁止	看门狗 WDT 禁止
Clocks 分频	2 Clocks	指令周期选择 2 Clocks
	4 Clocks	指令周期选择 4 Clocks
	8 Clocks	指令周期选择 8 Clocks
	16 Clocks	指令周期选择 16 Clocks
	32 Clocks	指令周期选择 32 Clocks
IRC 振荡器电 压源选择	IRC 振荡器选择 VDD 电压	IRC 振荡器电压源选择 VDD 电压
	IRC 振荡器选择 LD0 电压	IRC 振荡器电压源选择 LD0 电压
IRC 频率	8M	IRC 频率选择 8M
	1M	IRC 频率选择 1M
	910KHz	IRC 频率选择 910KHz
系统时钟倍频 选择	禁止	系统时钟选择无倍频
	使能	系统时钟选择倍频（系统时钟为芯片内部运行的基本时钟，CPUCON 寄存器可将系统时钟配置为低速或高速模式，注意与振荡器倍频区分）
低压复位选项	使能：软件控制	使能 LVR 功能，具体控制权由 STATUS 寄存器 LVREN 位控制
	禁止：强制禁止	硬件禁止 LVR 功能，STATUS 寄存器 LVREN 位无效，需注意进入死区风险
低压复位点选 择	LVR=1. 2V	低压复位点选择 1. 2V
	LVR=1. 6V	低压复位点选择 1. 6V
	LVR=1. 8V	低压复位点选择 1. 8V
	LVR=2. 4V	低压复位点选择 2. 4V
	LVR=2. 7V	低压复位点选择 2. 7V
	LVR=3. 3V	低压复位点选择 3. 3V
	LVR=3. 6V	低压复位点选择 3. 6V
	LVR=3. 9V	低压复位点选择 3. 9V



OTP 分页选择	使用 2K	ROM 区选择 2K
	使用前 1K	ROM 区选择前 1K
	使用后 1K	ROM 区选择后 1K
代码加密	加密	烧录模式数据加密
	无加密	烧录模式数据不加密
复位端口上拉	使能	使能 P63 端口上拉
	禁止	禁止 P63 端口上拉
P63 端口	GPIO	P63 作为通用 I/O 口
	RST	P63 作为外部复位端口
复位时间	PWRT=WDT=4.5ms	复位建立时间=WDT 溢出时间（不分频）= 4.5ms
	PWRT=WDT=18ms	复位建立时间=WDT 溢出时间（不分频）= 18ms
	PWRT=WDT=72ms	复位建立时间=WDT 溢出时间（不分频）= 72ms
	PWRT=WDT=288ms	复位建立时间=WDT 溢出时间（不分频）= 288ms
	PWRT=140us, WDT=4.5ms	复位建立时间=140us, WDT 溢出时间（不分频）=4.5ms
	PWRT=140us, WDT=18ms	复位建立时间=140us, WDT 溢出时间（不分频）=18ms
	PWRT=140us, WDT=72ms	复位建立时间=140us, WDT 溢出时间（不分频）=72ms
	PWRT=140us, WDT=288ms	复位建立时间=140us, WDT 溢出时间（不分频）=288ms
驱动增强	禁止	P5 口拉灌驱动能力增强禁止
	使能	P5 口拉灌驱动能力增强使能
CMP_FILT	比较器结果数字滤波禁止	禁止后，比较器结果实时输出
	比较器结果数字滤波使能	使能后，比较器结果为数字滤波后输出



5. ZH2521指令集

指令	指令动作	标志位影响
ADD A, R	$A+R \rightarrow A$	Z, C, DC
ADD R, A	$A+R \rightarrow R$	Z, C, DC
AND A, R	$A \& R \rightarrow A$	Z
AND R, A	$A \& R \rightarrow R$	Z
CLRA	$0 \rightarrow A$	Z
CLR R	$0 \rightarrow R$	Z
INVA R	$\neg R \rightarrow A$	Z
INV R	$\neg R \rightarrow R$	Z
DA	A 寄存器调整为 BCD 值	C
DECA R	$R-1 \rightarrow A$	Z
DEC R	$R-1 \rightarrow R$	Z
DJA R	$R-1 \rightarrow A$, skip if zero	-
DJ R	$R-1 \rightarrow R$, skip if zero	-
INCA R	$R+1 \rightarrow A$	Z
INC R	$R+1 \rightarrow R$	Z
IJA R	$R+1 \rightarrow A$, skip if zero	-
IJ R	$R+1 \rightarrow R$, skip if zero	-
MOV R, A	$A \rightarrow R$	-
MOV A, R	$R \rightarrow A$	Z
MOV R, R	$R \rightarrow R$	Z
OR A, R	$A \vee R \rightarrow A$	Z
OR R, A	$A \vee R \rightarrow R$	Z
SUB A, R	$R-A \rightarrow A$	Z, C, DC
SUB R, A	$R-A \rightarrow R$	Z, C, DC
XOR A, R	$A \oplus R \rightarrow A$	Z
XOR R, A	$A \oplus R \rightarrow R$	Z
IR R	$IOCR \rightarrow A$	-
IW R	$A \rightarrow IOCR$	-
CTR	$CONT \rightarrow A$	-
CTW	$A \rightarrow CONT$	-
BTC R, b	$0 \rightarrow R(b)$	-



BTS R, b	$1 \rightarrow R(b)$	—
JBTC R, b	if $R(b)=0$, skip	—
JBTS R, b	if $R(b)=1$, skip	—
LCR R	$R(n) \rightarrow R(n+1), R(7) \rightarrow C, C \rightarrow R(0)$	C
LCA R	$R(n) \rightarrow A(n+1), R(7) \rightarrow C, C \rightarrow A(0)$	C
RCR R	$R(n) \rightarrow R(n-1), R(0) \rightarrow C, C \rightarrow R(7)$	C
RCA R	$R(n) \rightarrow A(n-1), R(0) \rightarrow C, C \rightarrow A(7)$	C
SWAP R	$R(0-3) \leftrightarrow R(4-7)$	—
SWAPA R	$R(0-3) \rightarrow A(4-7), R(4-7) \rightarrow A(0-3)$	—
ADD A, k	$A+k \rightarrow A$	Z, C, DC
AND A, k	$A \& k \rightarrow A$	Z
MOV A, k	$k \rightarrow A$	—
OR A, k	$A \vee k \rightarrow A$	Z
SUB A, k	$k-A \rightarrow A$	Z, C, DC
XOR A, k	$A \oplus k \rightarrow A$	Z
CALL k	$PC+1 \rightarrow [SP], (Page, k) \rightarrow PC$	—
DI	禁止中断	—
EI	使能中断	—
JMP k	$K (Page, k) \rightarrow PC$	—
NOP	空指令	—
RET	$[堆栈顶端] \rightarrow PC$	—
RETI	$[堆栈顶端] \rightarrow PC$, 使能中断	—
RETL k	$k \rightarrow A, [堆栈顶端] \rightarrow PC$	—
SLEEP	$0 \rightarrow WDT$, 振荡器停止振荡 (睡眠模式)	T, P
CWDT	$0 \rightarrow WDT$	T, P

注：指令的执行改变了程序计数器的值 ("MOV R182, A", "ADD R182, A", "JMP *", "CALL* ") 或者对 R182 的算术或逻辑操作 (例如 "SUB R182, A", "BTS (C) R182, 3", "CLR R182"), 否则执行所有的指令都只占用单个指令周期 (一个指令周期包含 2 个振荡周期)。



6. ZH2521电气特性

6.1 极限参数

工作温度.....	-40℃~85℃
存储温度.....	-65℃~150℃
输入电压.....	V _{ss} -0.3V~V _{dd} +0.5V
输出电压.....	V _{ss} -0.3V~V _{dd} +0.5V
工作电压.....	1.2V~5.5V

6.2 直流电气特性

(V_{DD}=5V, 工作温度=25℃, 除非另有情况说明)

符号	参数说明	条件	最小	典型	最大	单位
IRC1	IRC1 (校正后)	OPTION 选择 8MHz	-	8	-	MHz
IRC2	IRC2 (校正后)	OPTION 选择 1MHz	-	1	-	MHz
I _{OH1}	输出高电平驱动 (P5)	I _{oh} =4.4V	4	6	8	mA
I _{OH2}	输出高电平驱动 (P6)	I _{oh} =4.4V	15	17	19	mA
I _{OH3}	输出高电平驱动增强 (P5)	I _{oh} =4.4V	15	17	19	mA
I _{OL1}	输出低电平驱动 (P5)	I _{ol} =0.6V	8	10	12	mA
I _{OL2}	输出低电平驱动 (P6)	I _{ol} =0.6V	20	22	24	mA
I _{OL3}	输出低电平驱动增强 (P5)	I _{ol} =0.6V	20	22	24	mA
V _{IH1}	输入高电平 (P63)	-	0.5*V _{DD}	-	V _{DD}	V
V _{IH2}	输入高电平 (除 P63)	-	0.48*V _{DD}	-	V _{DD}	V
V _{IL1}	输入低电平 (P63)	-	GND	-	0.5*V _{DD}	V
V _{IL2}	输入低电平 (除 P63)	-	GND	-	0.26*V _{DD}	V
R _{PH}	上拉电阻	上拉使能, 输入接地	53	55	57	KΩ
R _{PD}	下拉电阻	下拉使能, 输入接 V _{DD}	53	55	57	KΩ
I _{sb1}	关机电流 1	输入接 V _{DD} , 输出悬空, WDT 禁用	-	-	1	μA
I _{sb2}	关机电流 2	输入接 V _{DD} , 输出悬空, WDT 使能	-	-	12	μA
I _{op2}	工作电流 1 (V _{DD} =5V)	IRC=8MHz 2clock	-	1.2	1.5	mA
I _{op2}	工作电流 2 (V _{DD} =5V)	IRC=1MHz 2clock	-	0.2	0.3	mA
LVR	低电压复位电压	选择 LVR 复位点	V _{lvr} -0.2	V _{lvr}	V _{lvr} +0.2	V

注: 以上参数仅做参考, 请以目标样机实测数据为准。

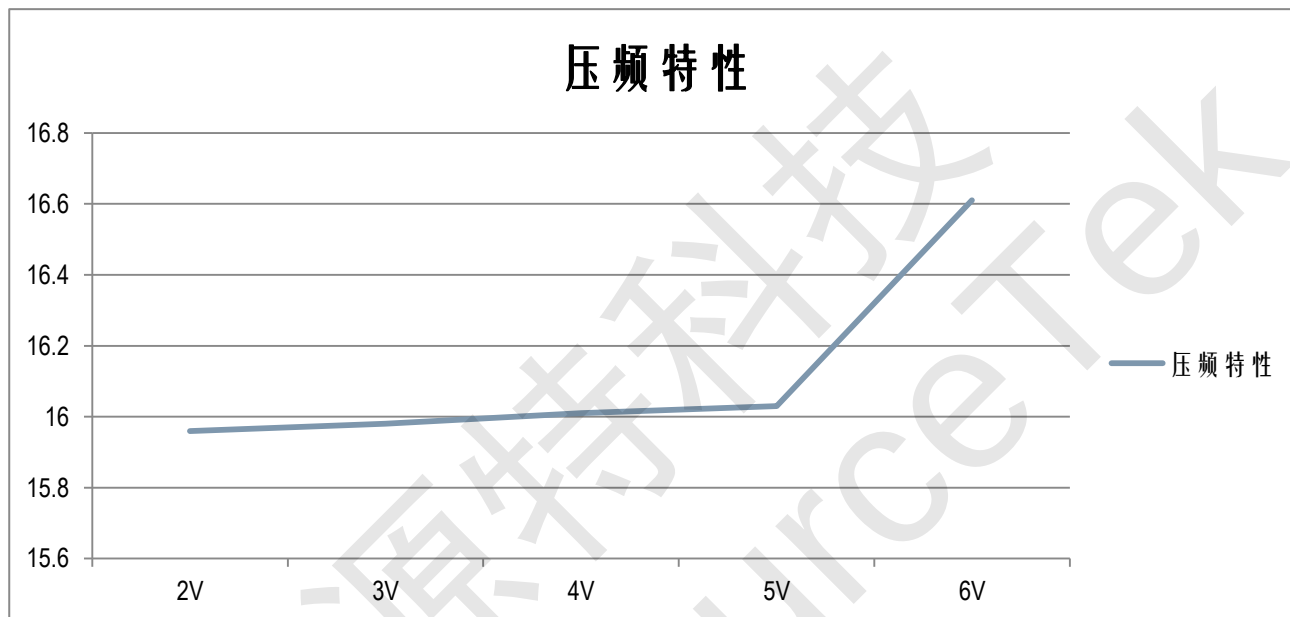


6.3 特性曲线图

本章所列的曲线图仅作设计参考,其中给出的部分数据可能超出了芯片指定的工作范围,为保证芯片的正常工作,请严格参照电气特性说明。

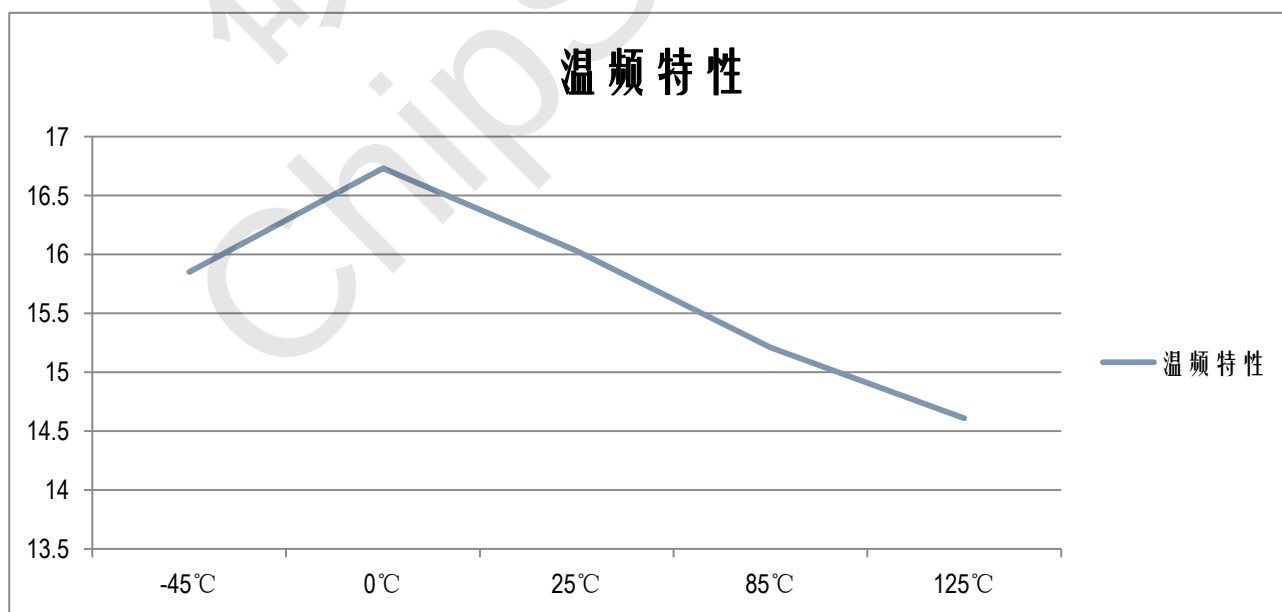
6.3.1 内部低速 RC 振荡器-压频特性曲线

工作温度在 25℃条件下: (单位 KHz)



6.3.2 内部低速 RC 振荡器-温频特性曲线

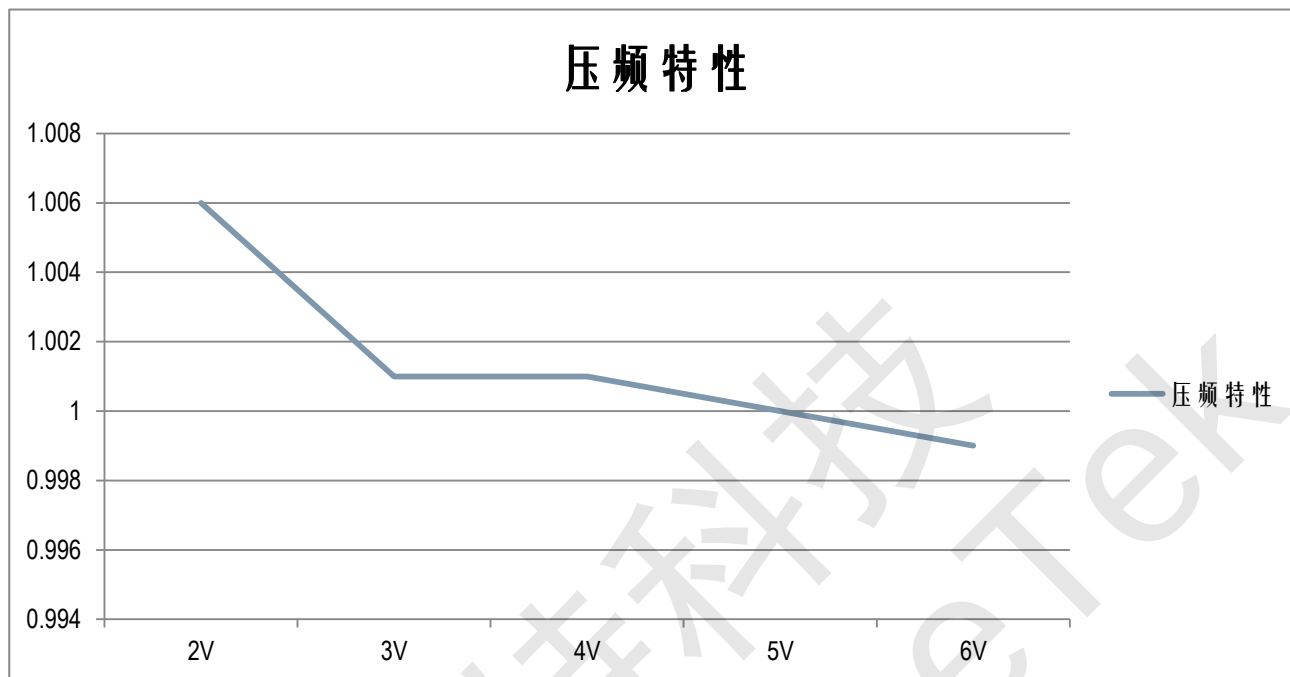
工作电压在 5V 条件下: (单位 KHz)





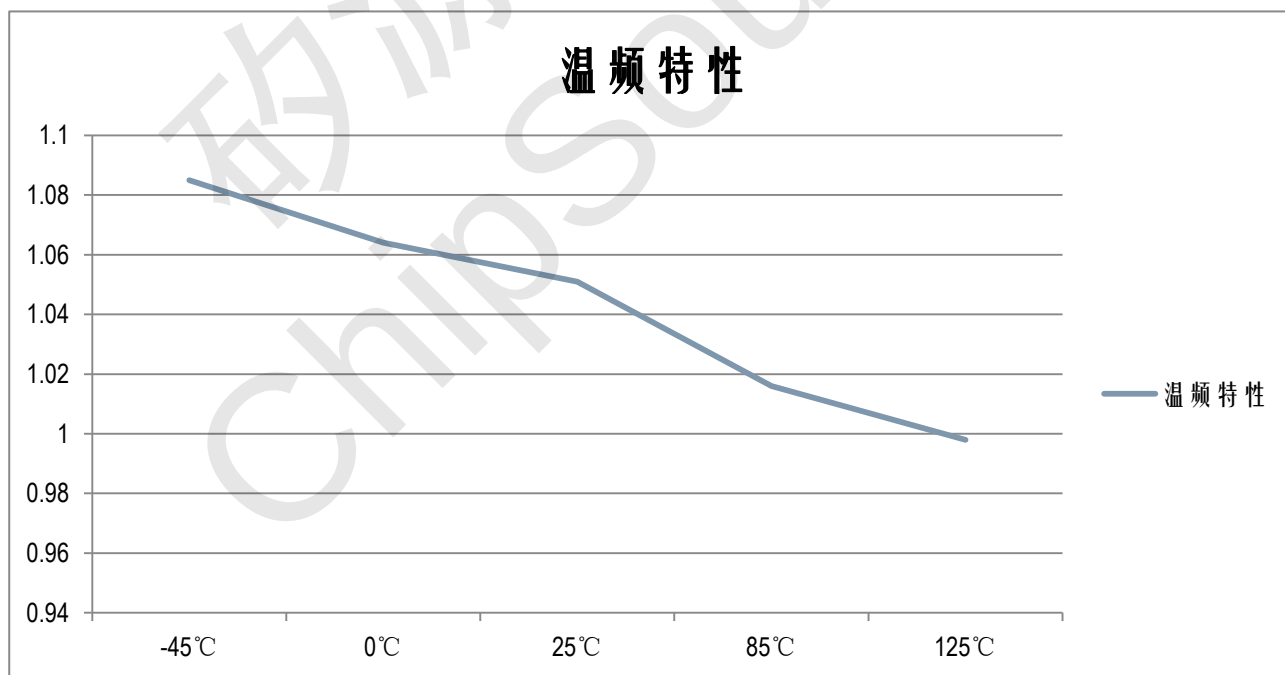
6.3.3 内部 1MHz RC 振荡器-压频特性曲线

工作温度在 25°C 条件下：（单位 MHz）



6.3.4 内部 1MHz RC 振荡器-温频特性曲线

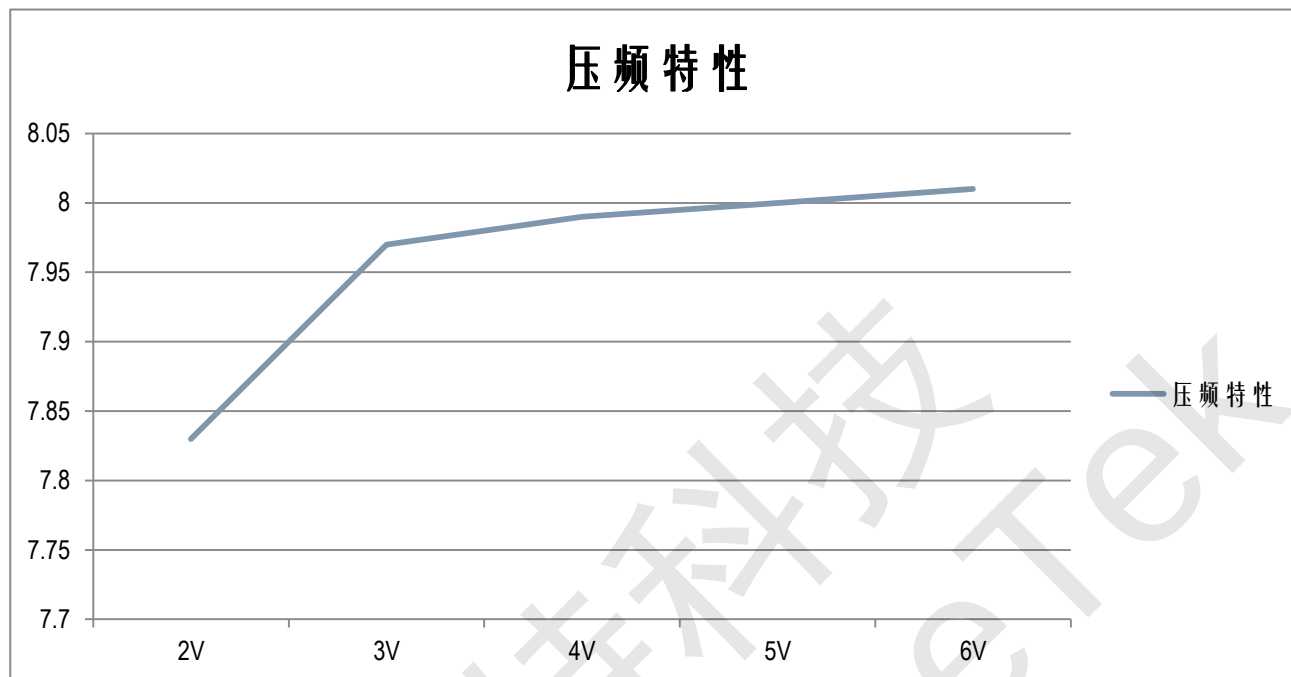
工作电压在 5V 条件下：（单位 MHz）





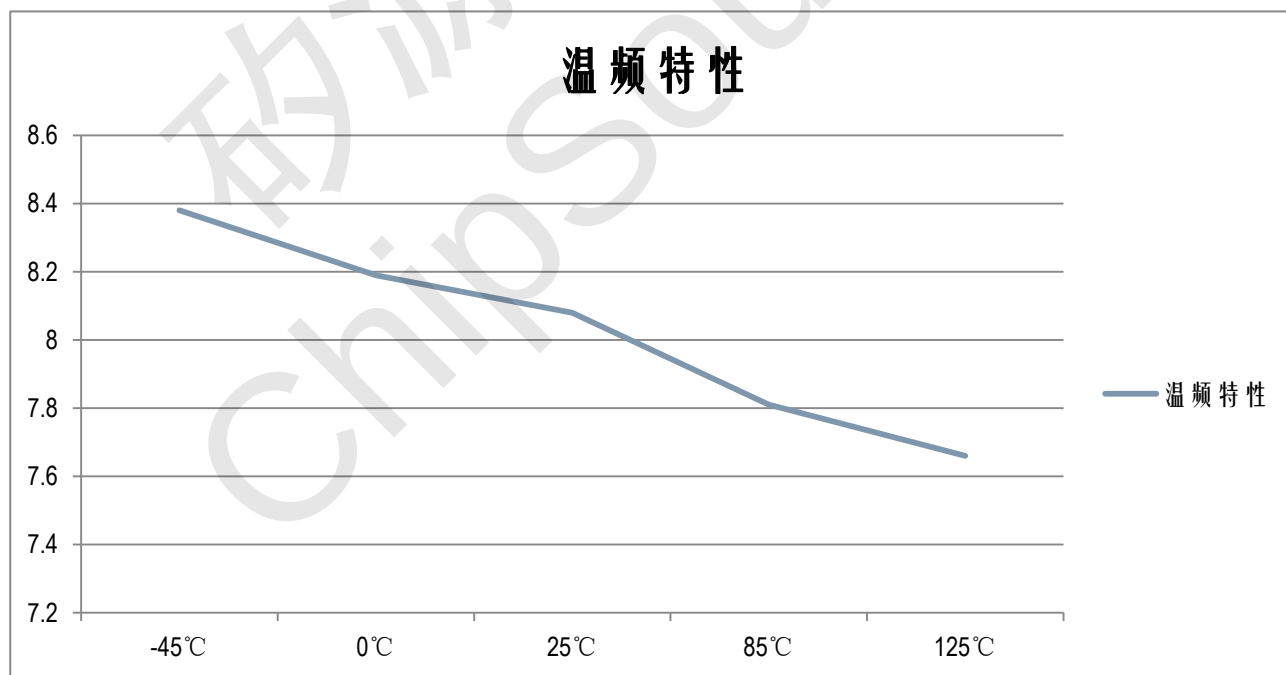
6.3.5 内部 8MHz RC 振荡器-压频特性曲线

工作温度在 25°C 条件下：（单位 MHz）



6.3.6 内部 8MHz RC 振荡器-温频特性曲线

工作电压在 5V 条件下：（单位 MHz）

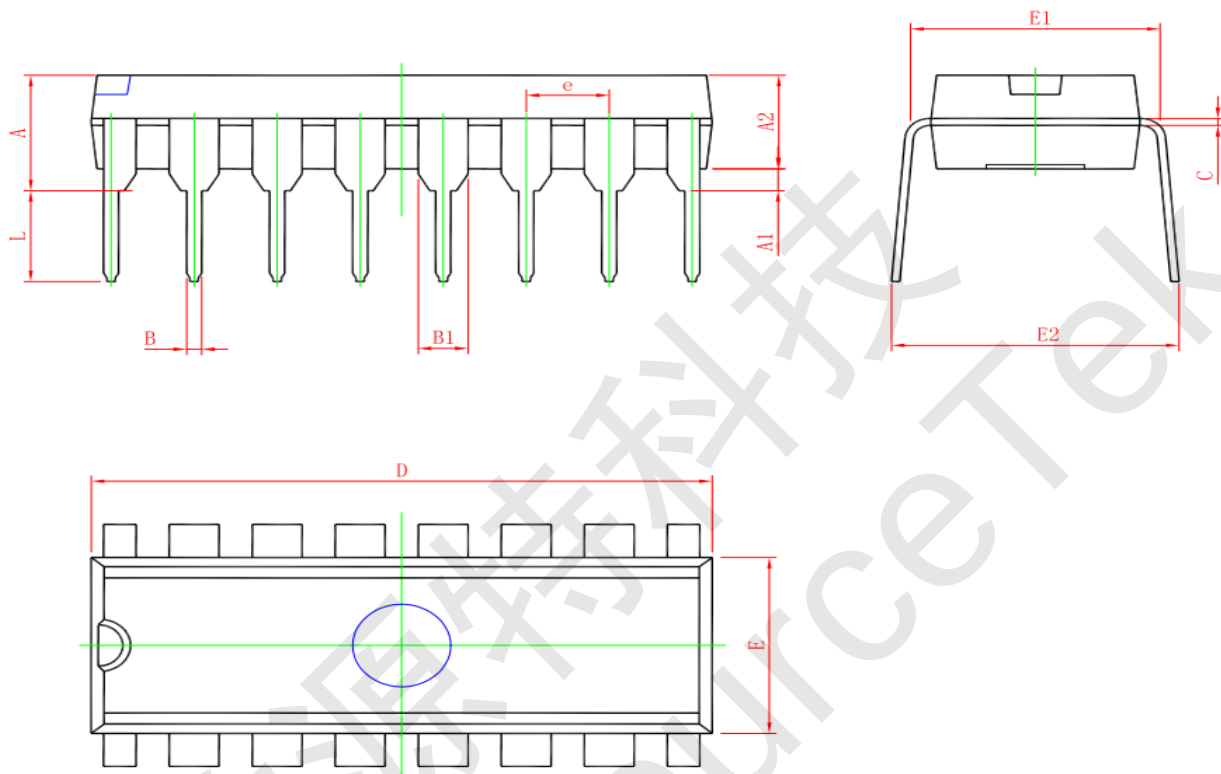




7. ZH2521封装尺寸

7.1 16PIN 封装尺寸

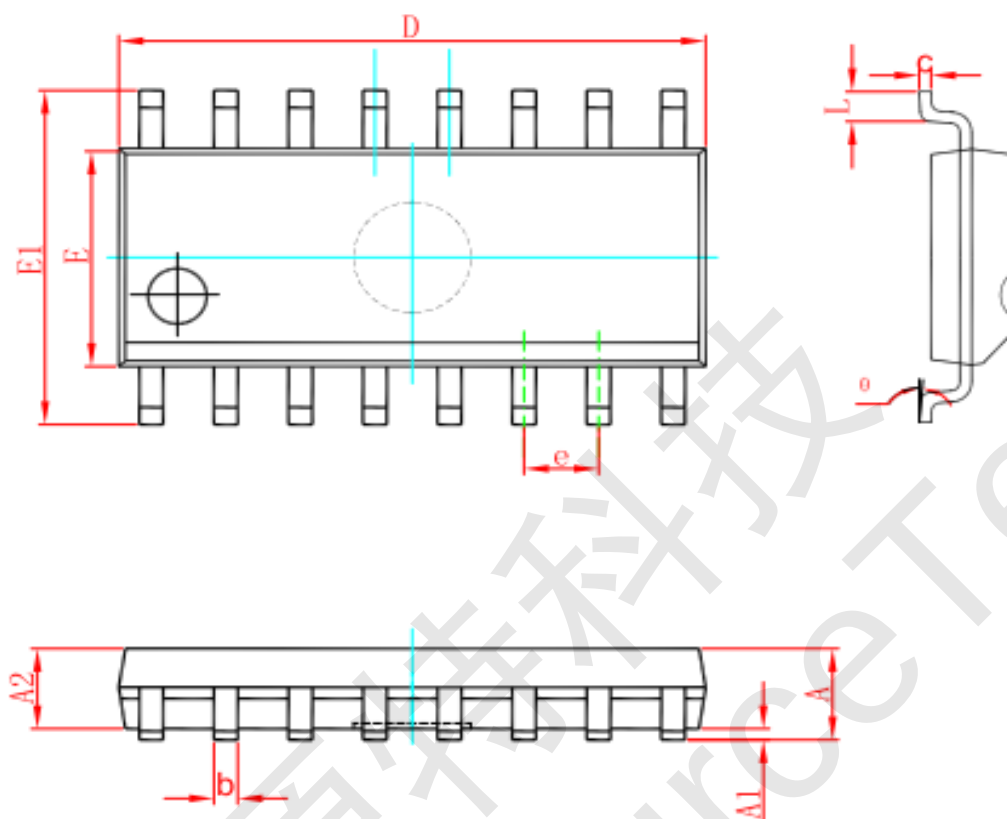
DIP16



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	3.710	4.310	0.146	0.170
A1	0.510		0.020	
A2	3.200	3.600	0.126	0.142
B	0.380	0.570	0.015	0.022
B1	1.524(BSC)		0.060(BSC)	
C	0.204	0.360	0.008	0.014
D	18.800	19.200	0.740	0.756
E	6.200	6.600	0.244	0.260
E1	7.320	7.974	0.288	0.314
e	2.540(BSC)		0.100(BSC)	
L	3.000	3.600	0.118	0.142
E2	8.400	9.000	0.331	0.354



SOP16

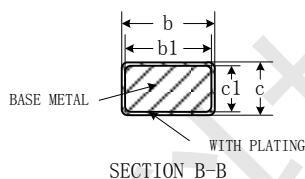
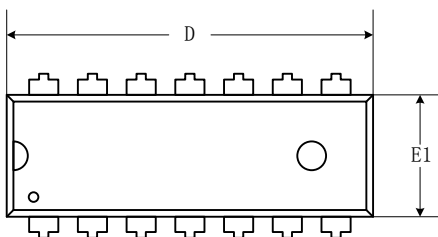
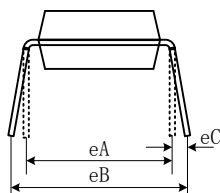
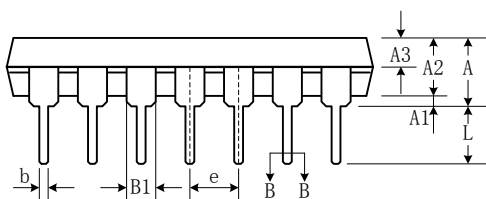


Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.007	0.010
D	9.800	10.200	0.386	0.402
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.270 (BSC)		0.050 (BSC)	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°



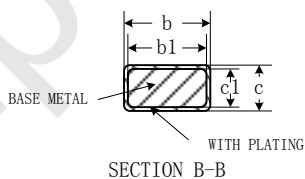
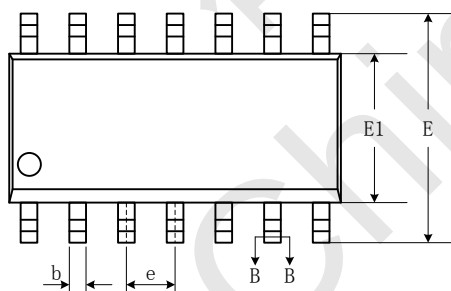
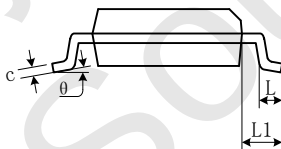
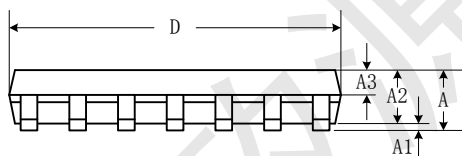
7.2 14PIN 封装尺寸

DIP14



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	3.60	3.80	4.00
A1	0.51	—	—
A2	3.10	3.30	3.50
A3	1.42	1.52	1.62
b	0.44	—	0.53
b1	0.43	0.46	0.48
B1	1.52BSC		
c	0.25	—	0.31
c1	0.24	0.25	0.26
D	18.90	19.10	19.30
E1	6.15	6.35	6.55
e	2.54BSC		
eA	7.62BSC		
eB	7.62	—	9.50
eC	0	—	0.94
L	3.00	—	—

SOP14

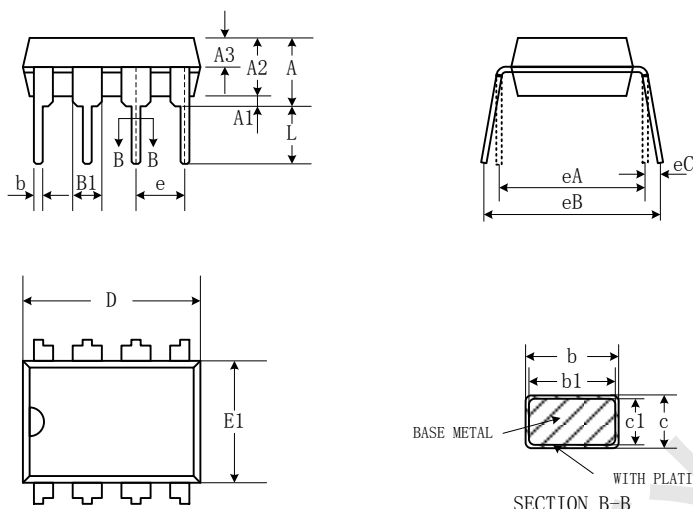


SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.77
A1	0.08	0.18	0.28
A2	1.20	1.40	1.60
A3	0.55	0.65	0.75
b	0.39	—	0.48
b1	0.38	0.41	0.43
c	0.21	—	0.26
c1	0.19	0.20	0.21
D	8.45	8.65	8.85
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27BSC		
L	0.50	0.65	0.80
L1	1.05BSC		
theta	0	—	8°



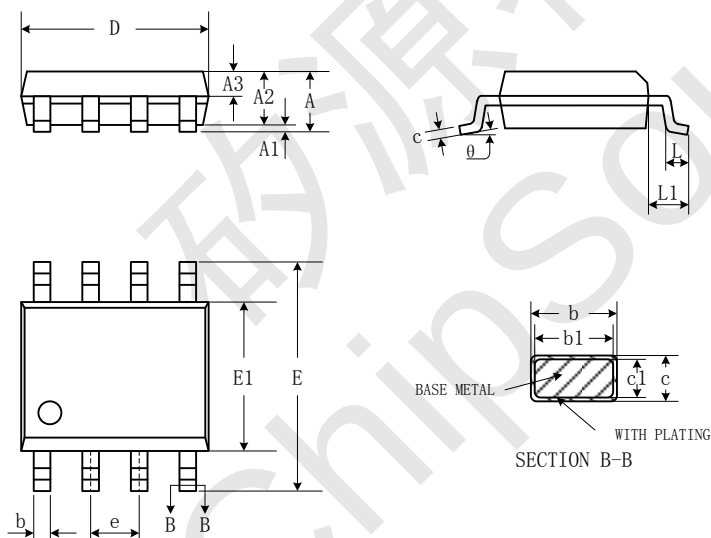
7.3 8PIN 封装尺寸

DIP8



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	3.60	3.80	4.00
A1	0.51	—	—
A2	3.10	3.30	3.50
A3	1.50	1.60	1.70
b	0.44	—	0.53
b1	0.43	0.46	0.48
B1	1.52BSC		
c	0.25	—	0.31
c1	0.24	0.25	0.26
D	9.05	9.25	9.45
E1	6.15	6.35	6.55
e	2.54BSC		
eA	7.62BSC		
eB	7.62	—	9.50
eC	0	—	0.94
L	3.00	—	—

SOP8



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.77
A1	0.08	0.18	0.28
A2	1.20	1.40	1.60
A3	0.55	0.65	0.75
b	0.39	—	0.48
b1	0.38	0.41	0.43
c	0.21	—	0.26
c1	0.19	0.20	0.21
D	4.70	4.90	5.10
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27BSC		
L	0.50	0.65	0.80
L1	1.05BSC		
θ	0	—	8°