ZH32L072产品特性

- 内核
  - 32 位 ARM® Cortex® - M0+
  - 最高 72MHz 工作频率
- 存储器
  - 最大 128K/96K/64K/32K bytes flash 存储器
  - 最大 16K/12K/8K/4K bytes SRAM
- 时钟系统
  - 外部高速晶振(HSE) 4~32MHz
  - 外部低速晶振(LSE) 32.768KHz
  - 内部 高速时钟(HSI) 4/8/16/22.12/24MHz
  - 内部 低速时钟(LSI) 32KHz
  - PLL 支持对 HSI 或 HSE 的 2/3 倍频
- 电源管理和复位
  - 工作电压：1.7V~5.5V
  - 低功耗模式: Sleep 和 Stop
  - 上电/掉电复位 (POR/PDR)
  - 掉电检测复位 (BOR)
  - 可编程的电压检测 (PVD)
- 通用输入输出(I/O)
  - 多达 58 个 I/O，均可作为外部中断
  - 驱动电流 8mA
- 7 通道 DMA 控制器
- 1 x 12-bit ADC
  - 支持 最多 16 个外部输入通道
  - 输入电压转换范围: 0~VCC
- 1 x 12-bit DAC，支持 2 个通道
- 3 路比较器
- 3 路运算放大器
- 支持 8*36/4*40 LCD
- 13 个定时器
  - 1 个 16bit 高级控制定时器（TIM1）
  - 1 个 32bit 通用定时器（TIM2）
  - 5 个 16bit 通用定时器（TIM3/14/15/16/17）
  - 2 个基本定时器(TIM6/TIM7)
  - 1 个低功耗定时器(LPTIM)
  - 1 个独立看门狗定时器 (IWDT)
- 1 个窗口看门狗定时器 (WWDT)
- 1 个 SysTick timer
- RTC
- 通讯接口
  - 2 个串行外设接口(SPI)，带 I2S 功能
  - 4 个通用同步/异步收发器(USART)，支持自动波特率检测，其中 2 个支持 ISO7816，LIN，IrDA
  - 2 个 I2C 接口，支持标准模式 (100kHz)、快速模式 (400kHz)，支持 7 位/10 位寻址模式，支持 SMBus/PMBus
  - 1 路 USB 2.0 全速接口
  - 1 路 CAN 2.0B 标准通讯接口
- 硬件 CRC-32 模块
- 硬件 32 位除法器
- 唯一 UID
- 串行单线调试 (SWD)
- 工作温度：-40~85℃
- 封装 LQFP64, LQFP48, QFN32, LQFP32

矽源特科技 ChipSourceTek

目录

产品特性 **1**
1. 简介 **5**
2. 功能概述 **8**
2.1. Arm® Cortex®-M0+ 内核 8
2.2. 存储器 8
2.3. Boot 模式 9
2.4. 时钟系统 9
2.5. 电源管理 11
2.5.1. 电源框图 11
2.5.2. 电源监控 11
2.5.3. 电压调节器 12
2.5.4. 低功耗模式 12
2.6. 复位 13
2.6.1. 电源复位 13
2.6.2. 系统复位 13
2.7. 通用输入输出 GPIO 13
2.8. 硬件除法器 13
2.9. DMA 14
2.10. 中断 14
2.10.1. 中断控制器 NVIC 14
2.10.2. 扩展中断 EXTI 14
2.11. 模数转换器 ADC 15
2.12. 数模转换器 (DAC) 15
2.13. 比较器 (COMP) 15
2.14. 运算放大器(OPA) 15
2.15. LCD 控制器(LCD) 15
2.16. 定时器 16
2.16.1. 高级定时器 16
2.16.2. 通用定时器 16
2.16.3. 基本定时器 TIM6/TIM7 17
2.16.4. 低功耗定时器 LPTIM 17
2.16.5. IWDG 17
2.16.6. WWDG 17
2.16.7. SysTick timer 18
2.17. 实时时钟 RTC 18
2.18. I2C 接口 18
2.19. 通用同步异步收发器 USART 19
2.20. 串行外设接口 SPI 20
2.21. USB2.0 全速模块 21

2.22. CAN 21
2.23. SWD 21
3. 引脚配置 22
3.1. 端口 A 复用功能映射 35
3.2. 端口 B 复用功能映射 36
3.3. 端口 C 复用功能映射 37
3.4. 端口 F 复用功能映射 39
4. 存储器映射 40
5. 电气特性 45
5.1. 测试条件 45
5.1.1. 最小值和最大值 45
5.1.2. 典型值 45
5.2. 绝对最大额定值 45
5.3. 工作条件 46
5.3.1. 通用工作条件 46
5.3.2. 上下电工作条件 46
5.3.3. 内嵌复位和 LVD 模块特性 46
5.3.4. 工作电流特性 47
5.3.5. 低功耗模式唤醒时间 48
5.3.6. 外部时钟源特性 49
5.3.7. 内部高频时钟源 HSI 特性 51
5.3.8. 内部低频时钟源 LSI 特性 51
5.3.9. 锁相环 PLL 特性 52
5.3.10. 存储器特性 52
5.3.11. EFT 特性 52
5.3.12. ESD & LU 特性 53
5.3.13. 端口特性 53
5.3.14. NRST 引脚特性 53
5.3.15. ADC 特性 54
5.3.16. DAC 特性 54
5.3.17. 比较器特性 55
5.3.18. 运算放大器特性 56
5.3.19. 温度传感器特性 57
5.3.20. 内置参考电压特性 57
5.3.21. 内置的参考电压 57
5.3.22. 定时器特性 58
5.3.23. 通讯口特性 58
6. 封装信息 62
6.1. LQFP64 封装尺寸 62
6.2. LQFP48 封装尺寸 63

矽源特科技 ChipSourceTek

6.3. QFN32 封装尺寸 64
6.4. LQFP32 封装尺寸 65
7. 订购信息 66
8. 版本历史 67

矽源特科技 ChipSourceTek

1. ZH32L072简介

ZH32L072 系列微控制器采用高性能的 32 位 ARM® Cortex®-M0+内核，宽电压工作范围的 MCU。嵌入高达 128Kbytes flash 和 16Kbytes SRAM 存储器，最高工作频率 72MHz。包含多种不同封装类型多款产品。芯片集成多路 I2C、SPI、USART 等通讯外设，1 路 12bit ADC，1 路 DAC，13 个定时器，1 个 USB2.0，1 个 CAN，3 路比较器，5 路运算放大器，1 个 LCD 驱动器。

ZH32L072 系列微控制器的工作温度范围为-40℃~85℃，工作电压范围 1.7V~5.5V。芯片提供 sleep 和stop 低功耗工作模式，可以满足不同的低功耗应用。

ZH32L072 系列微控制器适用于多种应用场景，例如控制器、手持设备、PC 外设、游戏和 GPS 平台、工业应用等。

表 1-1 ZH32L072 系列产品规划及特征

Peripheral		**ZH32L072Rx**				**ZH32L072Cx**				**ZH32L072Kx**			
Flash memory (Kbyte)		32	64	96	128	32	64	96	128	32	64	96	128
SRAM (Kbyte)		4	8	12	16	4	8	12	16	4	8	12	16
Timers	Advanced control	1 (16-bit)											
	General	5 (16-bit)											
	purpose	1(32-bit)											
	Basic	2											
	Low-power	1											
	SysTick	1											
	Watchdog	2											
Comm. intefaces	SPI[I2S]	2[2]											
	I2C	2											
	USART	4											
	CAN	1											
	USB	1											
DMA		7ch											
RTC		Yes											

矽源特科技 ChipSourceTek

Peripheral	ZH32L072Rx	ZH32L072Cx	ZH32L072Kx
GPIOs	58	42	28
12-bit ADC channels	1	1	1
12-bit DAC	1		
(number of channels)	-2		
Analog Comparator	3		
Operational Amplifiers	3		
LCD Controller	1		
Max.CPU frequency	72MHz		
Operating voltage	1.7 to5.5 V		
Operating temperature	-40 to 85 °C		
Packages	LQFP64	LQFP48	QFN32，LQFP32

矽源特科技 ChipSourceTek

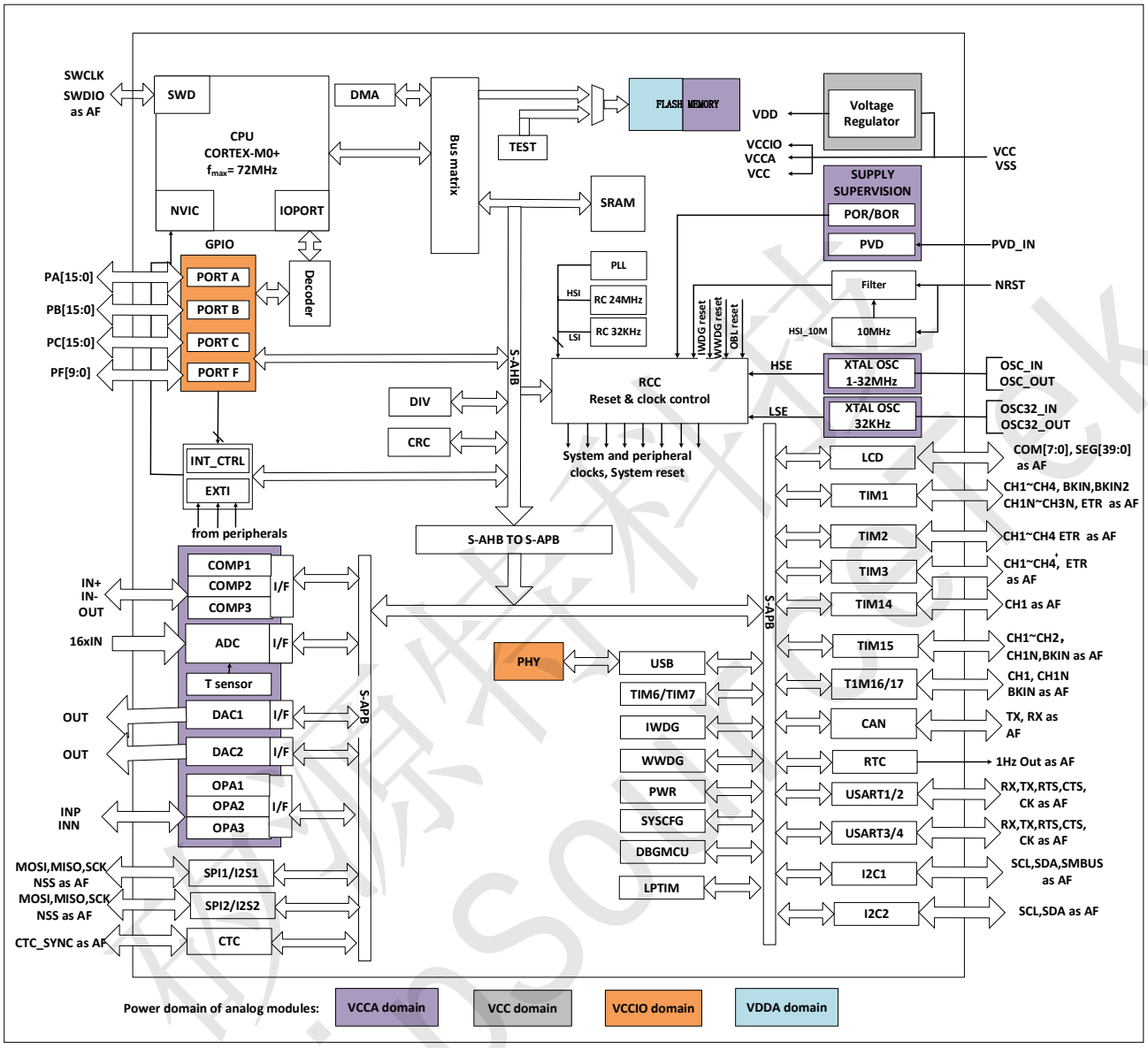

SWCLK
SWDIO
as AF
SWD
CPU
CORTEX-M0+
fmax= 72MHz
NVIC
IOPORT
DMA
Bus matrix
TEST
FLASH MEMORY
SRAM
VDD
Voltage Regulator
VCCIO
VCCA
VCC
VCC
VSS
SUPPLY SUPERVISION
POR/BOR
PVD
PVD_IN
GPIO
PA[15:0]
PB[15:0]
PC[15:0]
PF[9:0]
PORT A
PORT B
PORT C
PORT F
Decoder
PLL
HSI
RC 24MHz
LSI
RC 32KHz
Filter
NRST
HSI_10M
10MHz
IWDG reset
WWDG reset
OBL reset
S-AHB
HSE
XTAL OSC 1-32MHz
OSC_IN
OSC_OUT
RCC
Reset & clock control
LSE
XTAL OSC 32KHz
OSC32_IN
OSC32_OUT
DIV
CRC
System and peripheral clocks, System reset
INT_CTRL
EXTI
from peripherals
S-AHB TO S-APB
COMP1
COMP2
COMP3
I/F
IN+
IN-
OUT
ADC
16xIN
T sensor
DAC1
OUT
DAC2
OUT
OPA1
OPA2
OPA3
INP
INN
S-APB
PHY
USB
TIM6/TIM7
IWDG
WWDG
PWR
SYSCFG
DBGMCU
LPTIM
LCD
TIM1
TIM2
TIM3
TIM14
TIM15
T1M16/17
CAN
RTC
USART1/2
USART3/4
I2C1
I2C2
COM[7:0], SEG[39:0] as AF
CH1~CH4, BKIN,BKIN2 CH1N~CH3N, ETR as AF
CH1~CH4 ETR as AF
CH1~CH4, ETR as AF
CH1 as AF
CH1~CH2, CH1N,BKIN as AF
CH1, CH1N BKIN as AF
TX, RX as AF
1Hz Out as AF
RX,TX,RTS,CTS, CK as AF
RX,TX,RTS,CTS, CK as AF
SCL,SDA,SMBUS as AF
SCL,SDA as AF
MOSI,MISO,SCK NSS as AF
MOSI,MISO,SCK NSS as AF
CTC_SYNC as AF
SPI1/I2S1
SPI2/I2S2
CTC
Power domain of analog modules:
VCCA domain
VCC domain
VCCIO domain
VDDA domain

图 1-1 功能模块

2. ZH32L072功能概述

2.1. Arm® Cortex®-M0+ 内核

Arm® Cortex®- M0+是一款为广泛的嵌入式应用设计的入门级 32 位 Arm Cortex 处理器。它为开发人员提供了显著的好处，包括:

- 结构简单，易于学习和编程
- 超低功耗，节能运行
- 精简的代码密度等

Cortex-M0+处理器是 32 位内核，面积和功耗优化高，为 2 级流水的冯诺伊曼架构。处理器通过精简但强大的指令集和广泛优化的设计，提供高端处理硬件，包含单周期乘法器，提供了 32 位架构计算机所期望的卓越性能，比其他 8 位和 16 位微控制器具有更高的代码密度。

Cortex-M0+与一个嵌套的矢量中断控制器(NVIC)紧密耦合。

2.2. 存储器

片内集成 SRAM。通过 bytes（8bits）、half-word（16bits）或者 word（32bits）的方式可访问 SRAM。

片内集成 Flash，包含两个不同的物理区域组成：

- Main flash 区域，它包含应用程序和用户数据
- Information 区域，14 kbytes，它包括以下部分：
  - Option bytes
  - UID bytes
  - System memory

对 Flash main memory 的保护包括以下几种机制：

- Read protection(RDP)，防止来自外部的访问。
- Wrtie protection（WRP）控制，以防止不想要的写操作（由于程序存储器指针 PC 的混乱）。写保护的最小保护单位为 8 kbytes。
- Option byte 写保护，专门的解锁设计。

矽源特科技 ChipSourceTek

2.3. Boot 模式

通过 BOOT0 pin 和 boot 配置位 nBOOT 存放于 Option bytes 中，可选择三种不同的启动模式，如下表所示：

表 2-1 Boot 配置

Boot mode configuration		Mode
nBOOT1 bit	BOOT0 pin	
X	0	选择 Main flash 作为启动区
1	1	选择 System memory 作为启动区
0	1	选择 SRAM 作为启动区

Boot loader 程序存储在 System memory，用于通过 USART 接口下载 Flash 程序。

2.4. 时钟系统

CPU 启动后默认系统时钟频率为 HSI 8MHz，在程序运行后可以重新配置系统时钟频率和系统时钟源。可以选择的高频时钟有：

- 一个 4/8/16/22.12/24 MHz 可配置的内部高精度 HSI 时钟。
- 一个 32 kHz 可配置的内部 LSI 时钟。
- 4~32 MHz HSE 时钟，并且可以使能 CSS 功能检测 HSE。如果 CSS fail，硬件会自动转换系统时钟为 HSI，HSI 频率由软件配置，同时 CPU NMI 中断产生。
- 一个 32.768KHz LSE 时钟。
- PLL 时钟，PLL 源可以选择 HSI 和 HSE。如果选择 HSE 源，当 CSS 使能并且 CSS fail 时，关闭 PLL 和 HSE，硬件选择系统时钟源为 HSI。

AHB 时钟可以基于系统时钟分频，APB 时钟可以基于 AHB 时钟分频。AHB 和 APB 时钟频率最高为 72MHz。

矽源特科技 chipsourceTek

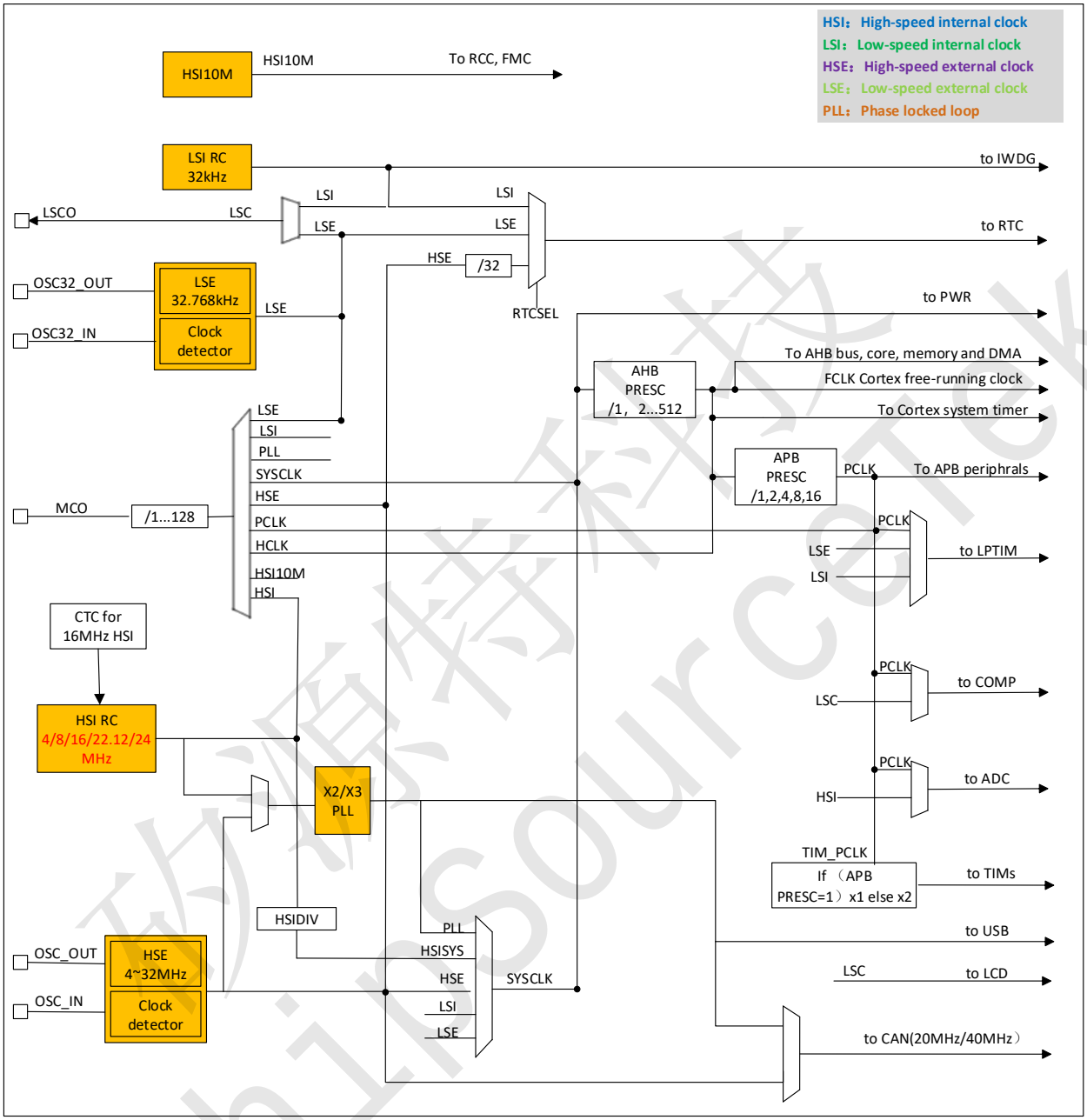

HSI：High-speed internal clock
LSI：Low-speed internal clock
HSE：High-speed external clock
LSE：Low-speed external clock
PLL：Phase locked loop
HSI10M
HSI10M
To RCC, FMC
LSI RC 32kHz
to IWDG
LSCO
LSC
LSI
LSE
LSI
LSE
to RTC
HSE
/32
RTCSEL
OSC32_OUT
OSC32_IN
LSE 32.768kHz
Clock detector
LSE
to PWR
AHB PRESC /1，2...512
To AHB bus, core, memory and DMA
FCLK Cortex free-running clock
To Cortex system timer
LSE
LSI
PLL
SYSCLK
HSE
PCLK
HCLK
HSI10M
HSI
MCO
/1...128
APB PRESC /1,2,4,8,16
PCLK
To APB periphrals
PCLK
LSE
LSI
to LPTIM
CTC for 16MHz HSI
HSI RC 4/8/16/22.12/24 MHz
X2/X3 PLL
PCLK
LSC
to COMP
PCLK
HSI
to ADC
TIM_PCLK
If （APB PRESC=1）x1 else x2
to TIMs
HSIDIV
PLL
HSISYS
HSE
LSI
LSE
SYSCLK
to USB
LSC
to LCD
OSC_OUT
OSC_IN
HSE 4~32MHz
Clock detector
to CAN(20MHz/40MHz）

图 2-1 系统时钟结构图

2.5. 电源管理

2.5.1. 电源框图

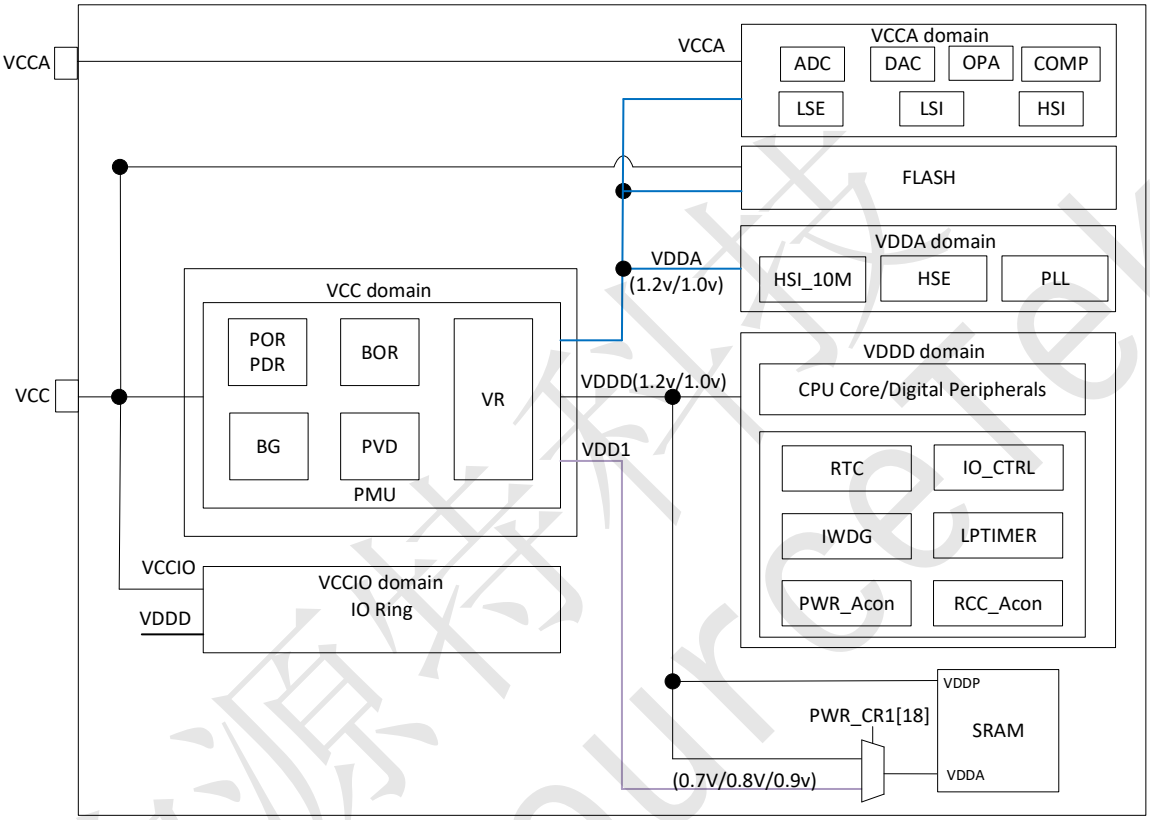


图 2-2 电源框图

表 2-2 电源框图

编号	电源	电源值	描述
1	VCC	1.7v~5.5v	通过电源管脚为芯片提供电源。
2	VDDD	1.2v/1.0v±10%	来自于 VR 的输出，为芯片内部主要逻辑电路、SRAM 供电。当 MR 供电时，输出 1.2v。当进入 stop 模式时，根据软件配置，可以由 MR 或者 LPR 供电，并根据软件配置决定 LPR 输出是 1.2v 或者 1.0v。
3	VCCA	1.7v~5.5v	通过电源管脚为芯片模拟电路提供电源。

2.5.2. 电源监控

2.5.2.1. 上下电复位（POR/PDR）

芯片内设计 Power on reset（POR）/Power down reset（PDR）模块，为芯片提供上电和下电复位。该模块在各种模式之下都保持工作。

2.5.2.2. 欠压复位（BOR）

除了 POR/PDR 外，还实现了 BOR（brown out reset）。BOR 仅可以通过 option byte 使能和关闭。

当 BOR 被打开时，BOR 的阈值可通过 Option byte 进行选择，且上升和下降检测点都可被单独配置。

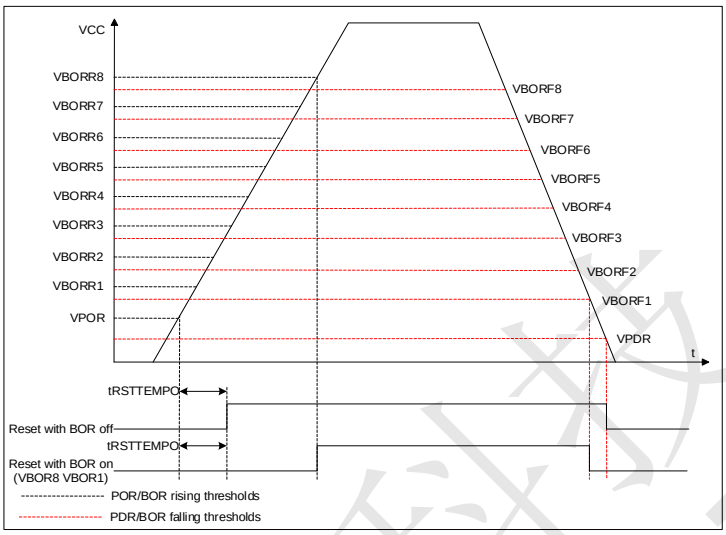


图 2-3 POR/PDR/BOR 阈值

2.5.2.3. 电压检测（PVD）

Programmable Voltage detector（PVD）模块可以用来检测 VCC 电源（也可以检测 PB7 引脚的电压），检测点可通过寄存器进行配置。当 VCC 高于或低于 PVD 的检测点时，产生相应的复位标识。

该事件内部连接到 EXTI 的 line 16，取决于 EXTI line 16 上升/下降沿配置，当 VCC 上升超过 PVD 的检测点，或者 VCC 降低到 PVD 的检测点以下，产生中断，在中断服务程序中用户可以进行紧急的 shutdown 任务。

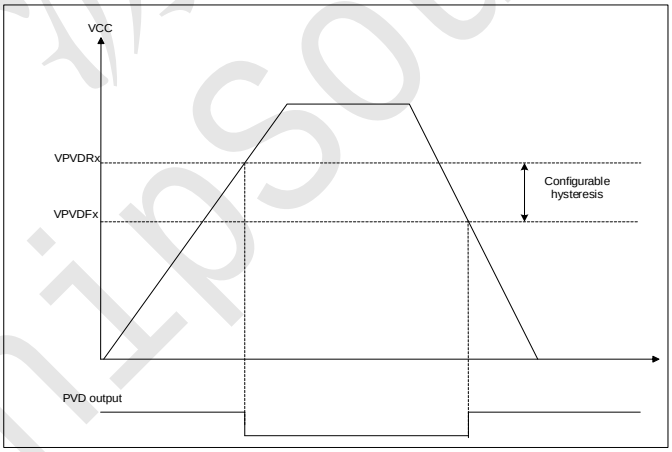


图 2-4 PVD 阈值

2.5.3. 电压调节器

芯片设计两个电压调节器：

- MR（Main regulator）在芯片正常运行状态时保持工作。
- LPR（low power regulator）在 stop 模式下，提供更低功耗的选择。

2.5.4. 低功耗模式

芯片在正常的运行模式之外，有 2 个低功耗模式：

- Sleep mode：CPU 时钟关闭（NVIC，SysTick 等工作），外设可以配置为保持工作。（建议只使能必须工作的模块，在模块工作结束后关闭该模块）
- Stop mode：该模式下 SRAM 和寄存器的内容保持，高速时钟 PLL、HSI 和 HSE 关闭，VDD 域下大部分模块时钟都被停掉。GPIO，PVD，COMP output，RTC 和 LPTIM 可以唤醒 stop 模式。

2.6. 复位

芯片内设计两种复位，分别是：电源复位和系统复位。

2.6.1. 电源复位

电源复位在以下几种情况下产生：

- 上下电复位（POR/PDR）
- 欠压复位（BOR）

2.6.2. 系统复位

当产生以下事件时，产生系统复位：

- NRST pin 的复位
- 窗口看门狗复位(WWDG)
- 独立看门狗复位(IWDG)
- SYSRESETREQ 软件复位
- Option byte load 复位（OBL）
- 电源复位（POR/PDR、BOR）

2.7. 通用输入输出 GPIO

每个 GPIO 都可以由软件配置为输出（push-pull 或者 open drain），输入（floating，pull-up/down，analog），外设复用功能，锁定机制会冻结 I/O 口配置功能。

2.8. 硬件除法器

32 位有符号/无符号整数硬件除法器。

硬件除法器支持以下特性：

- 可配置有符号/无符号整数除法计算
- 32 位被除数， 32 位除数
- 输出 32 位商和 32 位余数
- 除数为零警告标志位，除法运算结束标志位
- 8 个时钟周期完成一次除法运算
- 写除数寄存器触发除法运算开始

- 读商寄存器/余数寄存器时自动等待计算结束

2.9. DMA

直接存储器存取(DMA)用来提供在外设和存储器之间或者存储器和存储器之间的高速数据传输。

DMA 控制器有 7 条 DMA 通道，每条通道负责管理来自 1 个或者多个外设对存储器访问的请求。DMA 控制器包括处理 DMA 请求的仲裁器，用于处理各个 DMA 请求的优先级。

DMA 支持循环的缓冲器管理，消除了当控制器到达缓冲器末端时需要干预用户代码。

每个通道都直接连接专用的硬件 DMA 请求，且都同样支持软件触发。这些功能通过软件来配置。

DMA 可用于主要外设：TIMERs，SPI, I2C, USART，ADC，DAC，CAN，USB GPIO DIV

2.10. 中断

ZH32L072 通过 Cortex-M0+处理器内嵌的矢量中断控制器(NVIC)和一个扩展中断/事件控制器(EXTI)来处理异常。

2.10.1. 中断控制器 NVIC

NVIC 是 Cortex-M0+处理器内部紧耦合 IP。NVIC 可以处理来自处理器外部的 NMI（不可屏蔽中断）和可屏蔽外部中断，以及 Cortex-M0+内部异常。NVIC 提供了灵活的优先级管理。

处理器核心与 NVIC 的紧密耦合大大减少了中断事件和相应中断服务例程(ISR)启动之间的延迟。ISR 向量列在一个向量表中，存储在 NVIC 的一个基地地址。要执行的 ISR 的向量地址是由向量表基址和用作偏移量的 ISR 序号组成的。

如果高优先级的中断事件发生，而低优先级的中断事件刚好在等待响应，稍后到达的高优先级的中断事件将首先被响应。另一种优化称为尾链（tail-chaining）。当从一个高优先级的 ISR 返回时，然后启动一个挂起的低优先级的 ISR，将跳过不必要的处理器上下文的压栈和弹栈。这减少了延迟，提高了电源效率。

NVIC 特性：

- 低延时中断处理
- 4 级中断优先级
- 支持 1 个 NMI 中断
- 支持 32 个可屏蔽外部中断
- 支持 10 个 Cortex-M0+异常
- 高优先级中断可打断低优先级中断响应
- 支持尾链(tail-chaining)优化
- 硬件中断向量检索

2.10.2. 扩展中断 EXTI

EXTI 增加了处理物理线事件的灵活性，并在处理器从 stop 模式唤醒时产生唤醒事件。

EXTI 控制器有多个通道，包括最多 16 个 GPIO，1 个 PVD 输出，3 个 COMP 输出，以及 RTC 和 LPTIM 唤醒信号。其中 GPIO，PVD，COMP 可以配置上升沿、下降沿或双沿触发。任何 GPIO 信号通过选择信号配置为 EXTI0~15 通道。

每个 EXTI line 都可以通过寄存器独立屏蔽。

EXTI 控制器可以捕获比内部时钟周期短的脉冲。

EXTI 控制器中的寄存器锁存每个事件，即使是在 stop 模式下，处理器从停止模式唤醒后也能识别唤醒的来源，或者识别引起中断的 GPIO 和事件。

2.11. 模数转换器 ADC

芯片具有 1 个 12 位的 SARADC。该模块共有最多 18 个要被测量的通道，包括 16 个外部通道和 5 个内部通道。参考电压可选择片内精准电压（1.5V 、2.048V 或 2.5V）或电源电压。

各通道的转换模式可以设定为单次、连续、扫描、不连续模式。转换结果存储在左对齐或者右对齐的 16 位数据寄存器中。

模拟 watchdog 允许应用检测是否输入电压超出了用户定义的高或者低阈值。

ADC 实现了在低频率下运行，可获得很低的功耗。

在采样结束，转换结束，连续转换结束，模拟 watchdog 时转换电压超出阈值时产生中断请求。

2.12. 数模转换器 (DAC)

2 通道 12 位 1MSPS DAC，可以进行数模转换。

2.13. 比较器 (COMP)

芯片内集成 3 个通用比较器（general purpose comparators）COMP，分别是 COMP1/2/3。这两三个模块可以作为单独的模块，也可以与 timer 组合在一起使用。

比较器可以被如下使用：

- 被模拟信号触发，产生低功耗模式唤醒功能
- 模拟信号调节
- 当与来自 timer 的 PWM 输出连接时，Cycle by cycle 的电流控制回路

2.14. 运算放大器(OPA)

OPA1/2/3 模块可以灵活配置，适用于简易滤波器和 Buffer 应用。

2.15. LCD 控制器(LCD)

LCD 控制器是一款适用于单色无源液晶显示器(LCD)的数字控制器/驱动器，最多具有 8 个公用端子（COM）和 40 个区段端子（SEG），用以驱动 160 (4x40)或 288 (8x36)个 LCD 图像元素。端子的确切数量取决于数据手册中所述的器件引脚。

2.16. 定时器

ZH32L072 不同定时器的特性如下表所示：

表 2-3 定时器特性

类型	Timer	位宽	计数方向	预分频	DMA	捕获/比较通道	互补输出
高级定时器	TIM1	16 位	上，下，中央对齐	1~65536	支持	4	3
通用定时器	TIM2	32 位	上，下，中央对齐	1~65536	支持	4	-
通用定时器	TIM3	16-位	上，下，中央对齐	1~65536	支持	4	-
	TIM14	16-位	上	1~65536	-	1	-
	TIM15,TIM16,TIM17	16-位	上	1~65536	支持	1	1
基本定时器	TIM6,TIM7	16-位	上	1~65536	支持	-	-

2.16.1. 高级定时器

高级定时器（TIM1）由 16 位被可编程分频器驱动的自动装载计数器组成。它可以被用作各种场景，包括：输入信号（输入捕获）的脉冲长度测量，或者产生输出波形（输出比较、输出 PWM、带死区插入的互补 PWM）。

TIM1 包括 4 个独立通道，用作：

- 输入捕获
- 输出比较
- PWM 产生（边缘或者中心对齐模式）
- 单脉冲模式输出

如果 TIM1 配置为标准的 16 位计时器，则它具有与 TIMx 计时器相同的特性。如果配置为 16 位 PWM 发生器，则具有全调制能力(0-100%)。

在 MCU debug 模式，TIM1 可以冻结计数。

具有相同架构的 timer 特性共享，因此 TIM1 可以通过计时器链接功能与其他计时器一起工作，以实现同步或事件链接。

TIM1 支持 DMA 功能。

2.16.2. 通用定时器

2.16.2.1. TIM2/TIM3

TIM2/TIM3 通用定时器是由 32/16 位可编程分频器驱动的 32/16 位自动重装载计数器构成。具有 4 个独立的通道，每个用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

可以通过计时器链接功能与 TIM1 一起工作。

支持 DMA 功能。

能够处理正交(增量)编码器信号和数字输出从 1 到 3 霍尔效应传感器。

在 MCU debug 模式，TIM2/TIM3 可以冻结计数。

2.16.2.2. TIM14

通用定时器 TIM14 由可编程预分频器驱动的 16 位自动装载计数器构成。

TIM14 具有 1 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

在 MCU debug 模式，TIM14 可以冻结计数。

2.16.2.3. TIM15/TIM16/TIM17

TIM15、TIM16 和 TIM17 由可编程预分频器驱动的 16 位自动装载计数器构成。

TIM15、TIM16/TIM17 具有 2 个独立通道用于输入捕获/输出比较，PWM 或者单脉冲模式输出。

TIM15、TIM16/TIM17 具有带死区的互补输出。

TIM15、TIM16/TIM17 支持 DMA 功能。

在 MCU debug 模式，TIM15、TIM16/TIM17 可以冻结计数。

2.16.3. 基本定时器 TIM6/TIM7

基本定时器 TIM6/TIM7 包含一个 16 位自动装载计数器，由各自的可编程预分频器驱动。

16 位自动装载向上计数器。

同步电路可触发 DAC。

在更新事件（计数器溢出）时产生中断/DMA 请求。

2.16.4. 低功耗定时器 LPTIM

LPTIM 为 16 位向上计数器，包含 3 位预分频器。支持连续/单次模式。

LPTIM 可以配置为 stop 模式唤醒源。

在 MCU debug 模式，LPTIM 可以冻结计数值。

2.16.5. IWDG

芯片内集成了一个 Independent watchdog（简称 IWDG），该模块具有高安全级别、时序精确及灵活使用的特点。IWDG 发现并解决由于软件失效造成的功能混乱，并在计数器达到指定的 timeout 值时触发系统复位。

IWDG 由独立的 RC 振荡器提供时钟，可在 STOP 和 STANDBY 模式下工作。

IWDG 最适合需要 watchdog 作为主应用之外的独立过程，并且无很高的时序准确度限制的应用。

通过 option byte 的控制，可以使能 IWDG 硬件模式。

IWDG 是 stop 模式的唤醒源，以复位的方式唤醒 stop 模式。

在 MCU debug 模式，IWDG 可以冻结计数值。

2.16.6. WWDG

系统窗口看门狗是基于一个 7 位的下行计数器，可以设置为自由运行。当出现问题时，它可以作为一个看门狗来复位系统。计数时钟为 APB 时钟(PCLK)。它具有预警中断能力，计数器可以在 MCU debug 模式下被冻结。

2.16.7. SysTick timer

SysTick 计数器专门用于实时操作系统（RTOS），但也可以用作标准的向下计数器。

SysTick 特性：

- 24bit 向下计数
- 自装载能力
- 计数器记到 0 时可产生中断（可屏蔽）

2.17. 实时时钟 RTC

实时时钟是一个独立的定时器。RTC 模块拥有一组连续计数的计数器，在相应软件配置下，可提供时钟日历的功能。修改计数器的值可以重新设置系统当前的时间和日期。

RTC 为预分频系数最高为 220 的 32 位可编程计数器。

RTC 计数器时钟源可以为 LSE、LSI 以及 HSE 时钟除以 128，可以作为 stop 唤醒源。

RTC 可以产生闹钟中断，秒中断和溢出中断（可屏蔽）。

RTC 支持时钟 calibration。

在 MCU debug 模式，RTC 可以冻结计数。

2.18. I2C 接口

I2C(inter-integrated circuit)总线接口连接微控制器和串行 I2C 总线。它提供多主机功能，控制所有 I2C 总线特定的顺序、协议、仲裁和时序。支持标准（Sm）、快速（Fm）。

I2C 特性：

- 2 个 I2C 接口，支持 Slave 和 master 模式
- 多主机功能：可以做 master，也可以做 slave
- 支持不同通讯速度
  - 标准模式（Sm）：高达 100 kHz
  - 快速模式（Fm）：高达 400 kHz
- 作为 Master
  - 产生 Clock
  - Start 和 Stop 的产生
- 作为 slave
  - 可编程的 I2C 地址检测
  - 可响应 2 个从地址的双地址能力
  - Stop 位的发现

- 7 位/10 位寻址模式
- 通用广播（General call）
- 状态标志位
  - 发送/接收模式标志位
  - 字节传输完成标志位
  - I2C busy 标志位
- 错误标志位
  - Master arbitration loss
  - 地址/数据传输后的 ACK failure
  - Start/Stop 错误
  - Overrun/Underrun(时钟拉长功能 disable)
- 可选的时钟拉长功能
- 具备 DMA 能力的单字节 buffer
- 软件复位
- 模拟噪声滤波功能
- 支持 SMBus

2.19. 通用同步异步收发器 USART

ZH32L072 包含 4 个 USART，支持 ISO7816，LIN，IrDA。

通用同步异步收发器(USART)提供了一种灵活的方法与使用工业标准 NRZ 异步串行数据格式的外部设备之间进行全双工数据交换。USART 利用分数波特率发生器提供宽范围的波特率选择。

它支持同步单向通信和半双工单线通信，它还允许多处理器通信。

支持自动波特率检测。

使用多缓冲器配置的 DMA 方式，可以实现高速数据通信。

USART 特性：

- 全双工异步通信
- NRZ 标准格式
- 可配置 16 倍或者 8 倍过采样，增加在速度和时钟容忍度的灵活性
- 发送和接收共用的可编程波特率，最高达 4.5 Mbit/s
- 自动波特率检测
- 可编程的数据长度 8 位或者 9 位
- 可配置的停止位（支持 0.5，1，1.5 或 2 个停止位）
- 同步模式和为同步通讯的时钟输出功能
- 单线半双工通讯
- 独立的发送和接收使能位
- 硬件流控制
- 通过 DMA 缓冲接收/发送字节
- 检测标志

- 接收 buffer 满
- 发送 buffer 空
- 传输结束

■ 奇偶校验控制
- 发送校验位
- 对接收数据进行校验

■ 带标志的中断源
- CTS 改变
- 发送寄存器空
- 发送完成
- 接收数据寄存器满
- 检测到总线空闲
- 溢出错误
- 帧错误
- 噪音操作
- 检测错误

■ 多处理器通信
- 如果地址不匹配，则进入静默模式

■ 从静默模式唤醒：通过空闲检测和地址标志检测

2.20. 串行外设接口 SPI

ZH32L072 包含 2 个 SPI。串行外设接口(SPI)允许芯片与外部设备以半双工、全双工、单工同步的串行方式通信。此接口可以被配置成主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。

SPI 特性如下：

■ Master 或者 slave 模式
■ 3 线全双工同步传输
■ 2 线半双工同步传输（有双向数据线）
■ 2 线单工同步传输（无双向数据线）
■ 8 位或者 16 位传输帧选择
■ 支持多主模式
■ 8 个主模式波特率预分频系数（最大为 fPCLK/2）
■ 从模式频率（最大为 fPCLK/2）
■ 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态改变
■ 可编程的时钟极性和相位
■ 可编程的数据顺序，MSB 在前或 LSB 在前
■ 可触发中断的专用发送和接收标志
■ SPI 总线忙状态标志
■ Motorola 模式
■ 可引起中断的主模式故障、过载

- 2 个具备 DMA 能力的 32bit Rx 和 Tx FIFOs

2.21. USB2.0 全速模块

ZH32L072 包含 1 个 USB2.0 全速模块。

- 符合 USB2.0 全速设备的技术规范
- 可配置 1 到 8 个 USB 端点
- CRC(循环冗余校验)生成/校验，反向不归零（NRZI）编码/解码和位填充
- 支持同步传输
- 支持批量/同步端点的双缓冲区机制
- 支持 USB 挂起/恢复操作
- 帧锁定时钟脉冲生成

2.22. CAN

ZH32L072 包含 1 个 CAN 通信接口模块。

- 完全支持 ISO11898-1 规定的 CAN2.0A/CAN2.0B 和 CAN FD 协议。
- CAN2.0 支持最高通信波特率 1Mbit/s
- 支持 1~1/256 的波特率预分频，灵活配置波特率。
- 8 个接收缓冲器
- 1 个高优先主发送缓冲器 PTB
- 3 个副发送缓冲器 STB
- 16 组独立的筛选器
- 支持静默模式
- 支持回环模式
- 支持捕捉传输的错误种类以及定位仲裁失败位置
- 可编程的错误警告值
- 支持 ISO11898-4 规定时间触发 CAN 以及接收时间戳

2.23. SWD

ARM SWD 接口允许串口调试工具连接到 ZH32L072。

矽源特科技 ChipSourceTek

3. ZH32L072引脚配置

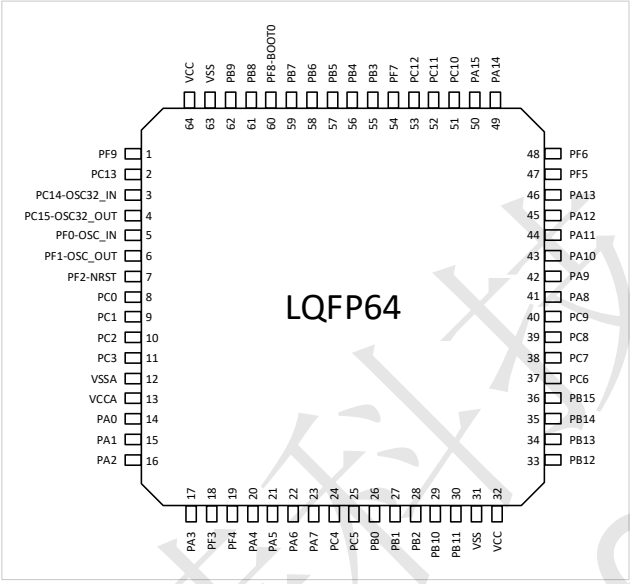


图 3-1 LQFP64 ZH32L072R1xT Pinout1

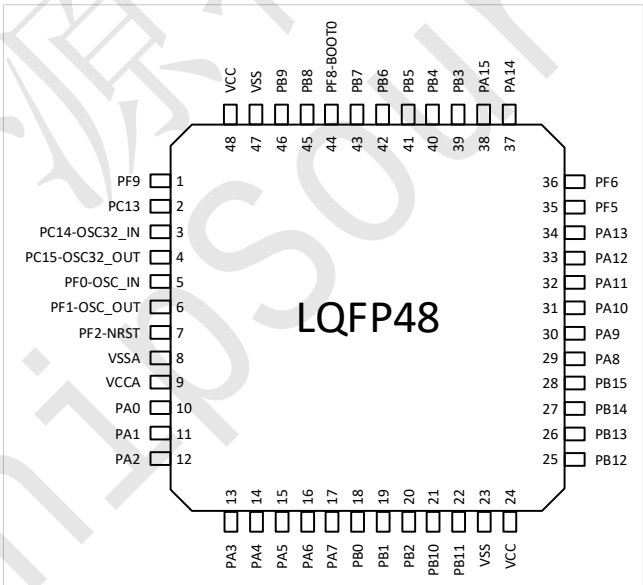


图 3-2 LQFP48 ZH32L072C1xT Pinout1

矽源特科技 ChipSourceTek

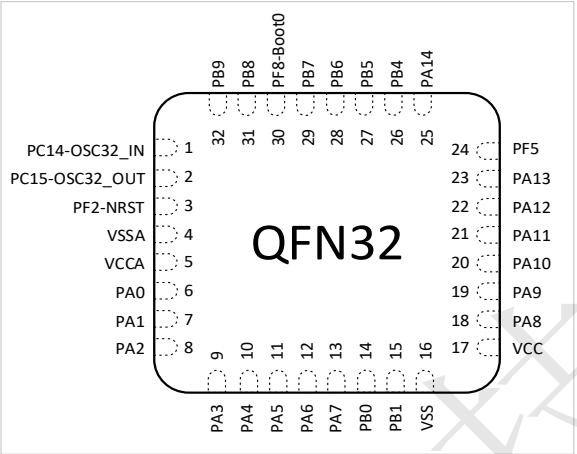


图 3-3 QFN32 ZH32L072K1xU Pinout1

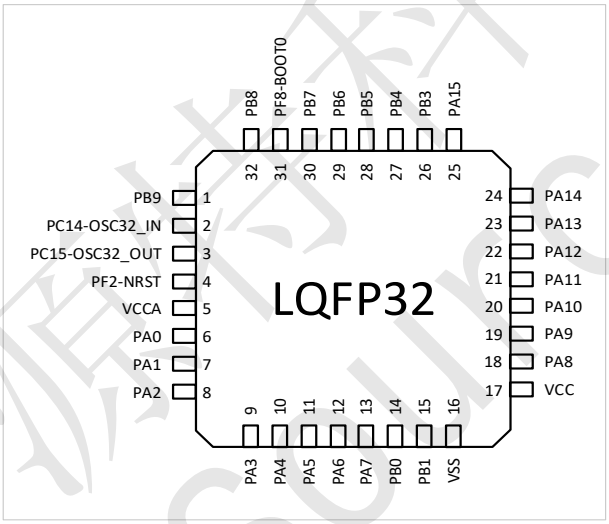


图 3-4 LQFP32 ZH32L072K1xT Pinout1

表 3-1 引脚定义的术语和符号

类型		符号	定义
端口类型		S	Supply pin
		G	Ground pin
		I	Input-only pin
		I/O	Input/output pin
		NC	无定义
端口结构		COM	正常 5V 端口，支持模拟输入输出功能
		RST	复位端口，内部带弱上拉电阻，不支持模拟输入输出功能
		COM F	具有模拟输入功能的 I2C Fm+
		COM U	具有 USB PHY 功能的 GPIO 5V 容限
Notes			除非有其他说明，不然所有端口都被在复位之间和之后，作为浮空的输入
端口功能	复用功能		通过 GPIOx_AFR 寄存器选择的功能
	附加功能		通过外设寄存器直接选择或使能的功能

表 3-2 LQFP64/LQFP48/ UFQFPN48 引脚定义

封装				复位	端口类型	端口结构	Notes	端口功能	
QFP64 R1	QFP48 C1	QFN32 K1	QFP32 K1					复用功能	附加功能
1	1			PF9	I/O	COM			
2	2			PC13	I/O	COM		SPI1_SCK/I2S1_CK TIM1_BKIN	
3	3	1	2	PC14	I/O	COM		TIM1_BKIN2	OSC32_IN
4	4	2	3	PC15	I/O	COM		TIM15_BKIN	OSC32_OUT
5	5			PF0-OSC_IN	I/O	COM		CTC_SYNC USART2_TX TIM1_BKIN TIM14_CH1	OSC_IN
6	6			PF1-OSC_OUT	I/O	COM		USART2_RX TIM1_CH1N TIM15_CH1N	OSC_OUT
7	7	3	4	PF2-NRST	I/O	RST		TIM1_CH2 EVENTOUT MCO	
8				PC0	I/O	COM		EVENTOUT SPI1_MISO/I2S1_MCK USART2_CTS USART3_RTS	ADC_IN10, COMP1_INP0, COMP2_INN0 SEG27
9				PC1	I/O	COM		EVENTOUT SPI1_MOSI/I2S1_SD	ADC_IN11, COMP1_INP1, COMP2_INN1 SEG26

矽源特科技 ChipSourceTek

封装				复位	端口类型	端口结构	Notes	端口功能	
LQFP64 R1	LQFP48 C1	QFN32 K1	LQFP32 K1					复用功能	附加功能
								USART2_RTS	
								USART3_CTS	
								TIM15_CH1	
10				PC2	I/O	COM		EVENTOUT	ADC_IN12, COMP1_INP2, COMP2_INN2 SEG25
								SPI2_MISO/I2S2_MCK	
								USART3_TX	
								USART3_RX	
								TIM15_CH2	
11				PC3	I/O	COM		EVENTOUT	ADC_IN13, COMP1_INP3, COMP2_INN3 SEG24
								SPI2_MOSI/I2S2_SD	
								USART3_RX	
								USART3_TX	
12	8	4		VSSA	G			Ground	
13	9	5	5	VCCA	S			Analog power supply	
14	10	6	6	PA0	I/O	COM		USART2_CTS	ADC_IN0, COMP1_INP4, COMP1_INN0, COMP2_INP0, COMP2_INN4 SEG23
								TIM2_CH1_ETR	
								USART4_TX	
								COMP1_OUT	
								SPI2_SCK	
15	11	7	7	PA1	I/O	COM		EVENTOUT	ADC_IN1, COMP1_INP5, COMP1_INN1, COMP2_INP1, COMP2_INN5 SEG22
								USART2_RTS	
								TIM2_CH2	
								USART4_RX	
								TIM15_CH1N	
								I2C1_SMBA	
								SPI1_SCK/I2S1_CK	

矽源特科技 chipsourceTek

封装				复位	端口类型	端口结构	Notes	端口功能	
LQFP64 R1	LQFP48 C1	QFN32 K1	LQFP32 K1					复用功能	附加功能
								SPI2_MOSI	
16	12	8	8	PA2	I/O	COM		TIM15_CH1	ADC_IN2, COMP1_INP6, COMP1_INN2, COMP2_INP2 SEG21
								USART2_TX	
								TIM2_CH3	
								COMP2_OUT	
								SPI1_MOSI/I2S1_SD	
								SPI2_MISO	
17	13	9	9	PA3	I/O	COM		EVENTOUT	ADC_IN3, COMP1_INP7, COMP1_INN3, COMP2_INP3 SEG20
								TIM15_CH2	
								USART2_RX	
								TIM2_CH4	
								SPI2_MISO	
								SPI2_NSS/I2S2_WS	
18				PF3	I/O	COM_F		EVENTOUT	
								I2C1_SCL	
								I2C2_SCL	
19				PF4	I/O	COM_F		I2C1_SCL	
								I2C2_SCL	
20	14	10	10	PA4	I/O	COM		EVENTOUT	ADC_IN4, DAC_OUT1, COMP1_INP8, COMP1_INN4, COMP2_INP4 SEG19
								SPI1_NSS/I2S1_WS	
								USART2_CK	
								TIM14_CH1	
								SPI2_MOSI	
								USART2_TX	
								PVD_OUT	
21	15	11	11	PA5	I/O	COM		EVENTOUT	ADC_IN5, DAC_OUT2, COMP1_INP9,
								SPI1_SCK/ I2S1_CK	

矽源特科技 chipsourcetek

封装				复位	端口类型	端口结构	Notes	端口功能	
LQFP64 R1	LQFP48 C1	QFN32 K1	LQFP32 K1					复用功能	附加功能
								TIM2_CH1_ETR	COMP1_INN5, COMP2_INP5, COMP3_INP0, COMP3_INN0 SEG18
								USART3_TX	
22	16	12	12	PA6	I/O	COM		EVENTOUT	ADC_IN6, COMP1_INP10, COMP1_INN6 SEG17
								SPI1_MISO/I2S1_MCK	
								TIM3_CH1	
								TIM1_BKIN	
								USART3_CTS	
								TIM16_CH1	
								COMP1_OUT	
23	17	13	13	PA7	I/O	COM		EVENTOUT	ADC_IN7, COMP1_INP11, COMP1_INN7, OPA2_INP, SEG16
								SPI1_MOSI/I2S1_SD	
								TIM3_CH2	
								TIM1_CH1N	
								TIM14_CH1	
								TIM17_CH1	
								COMP2_OUT	
24				PC4	I/O	COM		EVENTOUT	ADC_IN14, COMP1_INN8 SEG15
								USART3_TX	
								COMP3_OUT	
								SPI1_NSS/I2S1_WS	
								USART1_TX	
								TIM2_CH1_ETR	
								IR_OUT	
25				PC5	I/O	COM		USART3_RX	ADC_IN15, COMP1_INN9 SEG14
								SPI1_MOSI/I2S1_SD	
								USART1_RX	

封装				复位	端口类型	端口结构	Notes	端口功能	
LQFP64 R1	LQFP48 C1	QFN32 K1	LQFP32 K1					复用功能	附加功能
								TIM2_CH2	
26	18	14	14	PB0	I/O	COM		EVENTOUT	ADC_IN8, COMP2_INN6, SEG13
								TIM3_CH3	
								TIM1_CH2N	
								USART3_CK	
								COMP1_OUT	
								SPI1_NSS/I2S1_WS	
								USART3_RX	
27	19	15	15	PB1	I/O	COM		EVENTOUT	ADC_IN9, COMP2_INP6, COMP2_INN7, COMP3_INP1, COMP3_INN1 SEG12
								TIM14_CH1	
								TIM3_CH4	
								TIM1_CH3N	
								USART3_RTS	
								COMP3_OUT	
28	20			PB2	I/O	COM		EVENTOUT	COMP2_INP7, COMP2_INN8 SEG11
								SPI2_MISO	
								USART3_TX	
29	21			PB10	I/O	COM_F		I2C2_SCL	COMP2_INP8 SEG10
								TIM2_CH3	
								USART3_TX	
								SPI2_SCK/I2S2_CK	
								COMP1_OUT	
								USART2_RTS	
								I2C1_SCL	
30	22			PB11	I/O	COM_F		EVENTOUT	COMP3_INP8,
								I2C2_SDA	

矽源特科技 chipsourceTek

封装				复位	端口类型	端口结构	Notes	端口功能	
LQFP64 R1	LQFP48 C1	QFN32 K1	LQFP32 K1					复用功能	附加功能
								TIM2_CH4	COMP3_INN4 SEG9
								USART3_RX	
								COMP2_OUT	
								SPI2_MOSI	
								USART2_CTS	
								I2C1_SDA	
31	23	16	16	VSS	G			Ground	
32	24	17	17	VCC	S			Digital power supply	
33	25			PB12	I/O	COM		EVENTOUT	COMP2_INP9 OPA3_INN SEG8
								SPI2_NSS/I2S2_WS	
								TIM1_BKIN	
								USART3_CK	
								TIM15_BKIN	
34	26			PB13	I/O	COM_F		EVENTOUT	COMP2_INP10 OPA3_INP SEG7
								SPI2_SCK/I2S2_CK	
								TIM1_CH1N	
								USART3_CTS	
								I2C2_SCL	
								MCO	
								TIM15_CH1N	
								I2C1_SCL	
35	27			PB14	I/O	COM_F		EVENTOUT	COMP2_INP11, COMP3_INP9, COMP3_INN5 OPA2_OUT SEG6
								SPI2_MISO/I2S2_MCK	
								TIM15_CH1	
								TIM1_CH2N	
								USART3_RTS	
								I2C2_SDA	

矽源特科技 chipsourceTek

封装				复位	端口类型	端口结构	Notes	端口功能	
LQFP64 R1	LQFP48 C1	QFN32 K1	LQFP32 K1					复用功能	附加功能
								I2C1_SDA	
36	28			PB15	I/O	COM		EVENTOUT	SEG5
								SPI2_MOSI/I2S2_SD	
								TIM15_CH2	
								TIM1_CH3N	
								TIM15_CH1N	
37				PC6	I/O	COM		TIM3_CH1	SEG4
								SPI2_SCK/I2S2_CK	
								USART4_RX	
								TIM2_CH3	
38				PC7	I/O	COM		TIM3_CH2	COMP3_INP13, COMP3_INN8 SEG3
								SPI2_MISO/I2S2_MCK	
								USART4_TX	
								TIM2_CH4	
39				PC8	I/O	COM		TIM3_CH3	SEG2
								SPI2_MOSI/I2S2_SD	
								USART4_CTS	
								TIM1_CH1	
40				PC9	I/O	COM		TIM3_CH4	SEG1
								SPI2_NSS/I2S2_WS	
								I2S1_CKIN	
								USART4_RTS	
								TIM1_CH2	
41	29	18	18	PA8	I/O	COM		EVENTOUT	SEG0, OPA1_OUT
								MCO	
								USART1_CK	
								TIM1_CH1	
								CTC_SYNC	

矽源特科技 chipsourceTek

封装				复位	端口类型	端口结构	Notes	端口功能	
LQFP64 R1	LQFP48 C1	QFN32 K1	LQFP32 K1					复用功能	附加功能
								SPI2_NSS	
								USART1_TX	
42	30	19	19	PA9	I/O	COM_F		EVENTOUT	COM0 OPA1_INP
								TIM15_BKIN	
								USART1_TX	
								TIM1_CH2	
								I2C1_SCL	
								SPI2_MISO	
								MCO	
								I2C2_SCL	
43	31	20	20	PA10	I/O	COM_F		EVENTOUT	COM1 OPA1_INN
								TIM17_BKIN	
								USART1_RX	
								TIM1_CH3	
								I2C1_SDA	
								SPI2_MOSI	
								I2C2_SDA	
44	32	21	21	PA11	I/O	COM_U		EVENTOUT	USB_DM COM2
								USART1_CTS	
								TIM1_CH4	
								CAN_RX	
								COMP1_OUT	
								SPI1_MISO/I2S1_MCK	
								TIM1_BKIN2	
45	33	22	22	PA12	I/O	COM_U		EVENTOUT	USB_DP COM3
								USART1_RTS	
								TIM1_ETR	
								CAN_TX	

矽源特科技 chipsourceTek

封装				复位	端口类型	端口结构	Notes	端口功能	
LQFP64 R1	LQFP48 C1	QFN32 K1	LQFP32 K1					复用功能	附加功能
								COMP2_OUT	
								SPI1_MOSI/I2S1_SD	
								I2S1_CKIN	
46	34	23	23	PA13	I/O	COM		EVENTOUT	
								SWDIO	
								IR_OUT	
								USART1_RX	
								COMP3_OUT	
								PVD_OUT	
47	35	24		PF5	I/O	COM		TIM1_BKIN2	RTC_OUT
48	36			PF6	I/O	COM		USART1_CTS	
49	37	25	24	PA14	I/O	COM		EVENTOUT	
								SWCLK	
								USART2_TX	
								USART1_TX	
								PVD_OUT	
50	38		25	PA15	I/O	COM		EVENTOUT	
								SPI1_NSS/I2S1_WS	
								USART2_RX	
								TIM2_CH1_ETR	
								USART4_RTS	
								USART3_RTS	
51				PC10	I/O	COM		USART4_TX	COM4/SEG39
								USART3_TX	
								TIM1_CH3	
52				PC11	I/O	COM		USART4_RX	COM5/SEG38
								USART3_RX	
								TIM1_CH4	

矽源特科技 chipsourceTek

封装				复位	端口类型	端口结构	Notes	端口功能	
LQFP64 R1	LQFP48 C1	QFN32 K1	LQFP32 K1					复用功能	附加功能
53				PC12	I/O	COM		USART4_CK	COM6/SEG37
								USART3_CK	
								TIM14_CH1	
54				PF7	I/O	COM		TIM3_ETR	COM7/SEG36
								USART3_RTS	
								TIM1_CH1N	
55	39		26	PB3	I/O	COM		EVENTOUT	COMP2_INN9 SEG35/VLCDH
								SPI1_SCK/I2S1_CK	
								TIM2_CH2	
								USART1_RTS	
								TIM1_CH2	
56	40	26	27	PB4	I/O	COM		EVENTOUT	COMP1_INP12 COMP2_INP12 SEG34/VLCD3
								SPI1_MISO/I2S1_MCK	
								TIM3_CH1	
								USART1_CTS	
								USART1_CK	
								TIM1_CH2N	
								TIM17_BKIN	
57	41	27	28	PB5	I/O	COM		SPI1_MOSI/I2S1_SD	COMP1_INP13 SEG33/VLCD2
								TIM3_CH2	
								TIM16_BKIN	
								I2C1_SMBA	
								USART1_CK	
								COMP2_OUT	
								USART1_RTS	
								USART1_TX	
								TIM1_CH3N	
58	42	28	29	PB6	I/O	COM_F		EVENTOUT	

封装				复位	端口类型	端口结构	Notes	端口功能	
LQFP64 R1	LQFP48 C1	QFN32 K1	LQFP32 K1					复用功能	附加功能
								USART1_TX	COMP1_INP14, COMP2_INP14 SEG32/VLCD1
								I2C1_SCL	
								TIM16_CH1N	
								SPI2_MISO	
								USART3_CTS	
								TIM1_CH3	
								I2C2_SCL	
59	43	29	30	PB7	I/O	COM_F		EVENTOUT	PVD_IN, COMP2_INP15 SEG31
								USART1_RX	
								I2C1_SDA	
								TIM17_CH1N	
								USART4_CTS	
								SPI2_MOSI	
								I2C2_SDA	
								TIM1_CH1	
60	44	30	31	PF8/BOOT	I/O	COM			SEG30
61	45	31	32	PB8	I/O	COM_F		EVENTOUT	SEG29
								I2C1_SCL	
								I2C2_SCL	
								TIM16_CH1	
								CAN_RX	
								SPI2_SCK	
								USART1_TX	
								USART3_TX	
								TIM15_BKIN	
								TIM1 CH1N	
62	46	32	1	PB9	I/O	COM_F		EVENTOUT	SEG28
								IR_OUT	

矽源特科技 chipsourceTek

封装				复位	端口类型	端口结构	Notes	端口功能	
LQFP64 R1	LQFP48 C1	QFN32 K1	LQFP32 K1					复用功能	附加功能
								I2C1_SDA	
								TIM17_CH1	
								CAN_TX	
								SPI2_NSS/I2S2_WS	
								USART1_RX	
								USART3_RX	
								I2C2_SDA	
63	47			VSS	G			Ground	
64	48			VCC	S			Digital power supply	

（1） 选择 PF2 或者 NRST 通过 option bytes 进行配置。

（2） 复位后，PA13 和 PA14 两个 pin 被配置为 SWDIO 和 SWCLK AF 功能，前者内部上拉电阻、后者内部下拉电阻被激活。

（3） BOOT0 默认数字输入模式，且下拉使能。

3.1. 端口 A 复用功能映射

表 3-3 端口 A 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0		USART2_CTS	TIM2_CH1_ETR		USART4_TX			COMP1_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI2_SCK							
PA1	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	EVENTOUT	USART2_RTS	TIM2_CH2		USART4_RX	TIM15_CH1N	I2C1_SMBA	
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI1_SCK/I2S1_CK	SPI2_MOSI						
PA2	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	TIM15_CH1	USART2_TX	TIM2_CH3					COM2_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI1_MOSI/I2S1_SD	SPI2_MISO						
PA3	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	TIM15_CH2	USART2_RX	TIM2_CH4					EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI2_MSIO	SPI2_NSS/I2S2_WS						
PA4	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_NSS/I2S1_WS	USART2_CK			TIM14_CH1			EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI2_MOSI	USART2_TX			PVD_OUT			
PA5	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_SCK/I2S1_CK		TIM2_CH1_ETR					EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15

			USART3_TX					
PA6	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_MISO/I2S1_MCK	TIM3_CH1	TIM1_BKIN		USART3_CTS	TIM16_CH1	EVENTOUT	COMP1_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA7	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_MOSI/I2S1_SD	TIM3_CH2	TIM1_CH1N		TIM14_CH1	TIM17_CH1	EVENTOUT	COMP2_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PA8	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	MCO	USART1_CK	TIM1_CH1	EVENTOUT	CTC_SYNC			
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI2_NSS		USART1_TX					
PA9	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	TIM15_BKIN	USART1_TX	TIM1_CH2				I2C1_SCL	EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI2_MISO	MCO				I2C2_SCL		
PA10	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	TIM17_BKIN	USART1_RX	TIM1_CH3				I2C1_SDA	EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI2_MOSI					I2C2SDA		
PA11	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	EVENTOUT	USART1_CTS	TIM1_CH4		CAN_RX			COMP1_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI1_MISO/I2S1_MCK			TIM1_BKIN2				
PA12	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	EVENTOUT	USART1_RTS	TIM1_ETR		CAN_TX			COMP2_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI1_MOSI/I2S1_SD	I2S1_CKIN						
PA13	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SWDIO	IROUT						EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		USART1_RX		COMP3_OUT	PVD_OUT			
PA14	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SWCLK	USART2_TX						EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		USART1_TX			PVD_OUT			
PA15	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_NSS/I2S1_WS	USART2_RX	TIM2_CH1_ETR	EVENTOUT	USART4_RTS			EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
			USART3_RTS_DE_CK					

3.2. 端口 B 复用功能映射

表 3-4 端口 B 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	EVENTOUT	TIM3_CH3	TIM1_CH2N		USART3_CK			COMP1_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI1_NSS/I2S1_WS		USART3_RX					
PB1	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	TIM14_CH1	TIM3_CH4	TIM1_CH3N		USART3_RTS			EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
				COMP3_OUT				
PB2	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
								EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI2_MISO		USART3_TX					
PB3	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_SCK/I2S1_CK	EVENTOUT	TIM2_CH2		USART1_RTS			EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
				TIM1_CH2				

PB4	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_MISO/I2S1_MCK	TIM3_CH1	EVENTOUT		USART1_CTS	TIM17_BKIN		
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
				TIM1_CH2N		USART1_CK		
PB5	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI1_MOSI/I2S1_SD	Tim3_CH2	TIM16_BKIN	I2C1_SMBA	USART1_CK			COM2_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		USART1_RTS		TIM1_CH3N		USART1_TX		
PB6	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	USART1_TX	I2C1_SCL	TIM16_CH1N					EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI2_MISO		USART3_CTS	TIM1_CH3		I2C2_SCL		
PB7	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	USART1_RX	I2C1_SDA	TIM17_CH1N		USART4_CTS			EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI2_MOSI			TIM1_CH1		I2C2_SDA		
PB8	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
		I2C1_SCL	TIM16_CH1		CAN_RX			EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI2_SCK	USART1_TX	USART3_TX	TIM15_BKIN		I2C2_SCL	TIM1_CH1N	
PB9	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
		IR_OUT	I2C1_SDA	TIM17_CH1	EVENTOUT	CAN_TX	SPI2_NSS/I2S2_WS	
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		USART1_RX	USART3_RX			I2C2_SDA		
PB10	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
		I2C2_SCL	TIM2_CH3		USART3_TX	SPI2_SCK/I2S2_CK		COMP1_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		USART2_RTS				I2C1_SCL		
PB11	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	EVENTOUT	I2C2_SDA	TIM2_CH4		USART3_RX			COMP2_OUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI2_MOSI	USART2_CTS				I2C1_SDA		
PB12	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
		SPI2_NSS/I2S2_WS	EVENTOUT	TIM1_BKIN		USART3_CK	TIM15_BKIN	
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PB13	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI2_SCK/I2S2_CK		TIM1_CH1N		USART3_CTS	I2C2_SCL		EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		MCO		TIM15_CH1N		I2C1_SCL		
PB14	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI2_MISO/I2S2_MCK	TIM15_CH1	TIM1_CH2N		USART3_RTS	I2C2_SDA		EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
				TIM15_CH1		I2C1_SDA		
PB15	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	SPI2_MOSI/I2S2_SD	TIM15_CH2	TIM1_CH3N	TIM15_CH1N				EVENTOUT
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15

3.3. 端口 C 复用功能映射

表 3-5 端口 C 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC0	EVENTOUT							
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	SPI1_MISO/I2S1_MCK	USART2_CTS	USART3_RTS					
PC1	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	EVENTOUT							

	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
	SPI1_MOSI/I2S1_SD	USART2_RTS	USART3_CTS	TIM15_CH1				
PC2	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	EVENTOUT	SPI2_MISO/I2S2_MCK						
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
		USART3_TX	USART3_RX	TIM15_CH2				
PC3	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	EVENTOUT	SPI2_MOSI/I2S2_SD						
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
		USART3_RX	USART3_TX					
PC4	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	EVENTOUT	USART3_TX						COMP3_OUT
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
	SPI1_NSS/I2S1_WS	USART1_TX		TIM2_CH1_ETR	IR_OUT			
PC5	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
		USART3_RX						
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
	SPI1_MOSI/I2S1_SD	USART1_RX		TM2_CH2				
PC6	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	TIM3_CH1							
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
	SPi2_SCK/I2S2_CK		USART4_RXD	TIM2_CH3				
PC7	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	TIM3_CH2							
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
	SPI2_MISO/I2S2_MCK		USART4_TX	TIM2_CH4				
PC8	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	TIM3_CH3							
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
	SPI2_MOSI/I2S2_SD		USART4_CTS	TIM1_CH1				
PC9	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	TIM3_CH4							
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
	SPI2_NSS/I2S2_WS	I2S1_CKIN	USART4_RTS	TIM1_CH2				
PC10	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	USART4_TX	USART3_TX						
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
				TIM1_CH3				
PC11	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	USART4_RX	USART3_RX						
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
				TIM1_CH4				
PC12	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	USART4_CK	USART3_CK						
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
				TIM14_CH1				
PC13	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
	SPI1_SCK/I2S1_CK			TIM1_BKIN				
PC14	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
				TIM1_BKIN2				
PC15	**AF0**	**AF1**	**AF2**	**AF3**	**AF4**	**AF5**	**AF6**	**AF7**
	AF8	**AF9**	**AF10**	**AF11**	**AF12**	**AF13**	**AF14**	**AF15**
				TIM15_BKIN				

3.4. 端口 F 复用功能映射

表 3-6 端口 F 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PF0	CTC_SYNC							
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		USART2_TX		TIM14_CH1		TIM1_BKIN		
PF1	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
		USART2_RX		TIM15_CH1N		TIM1_CH1N		
PF2	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	EVENTOUT							
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
	MCO					TIM1_CH2		
PF3	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	EVENTOUT						I2C1_SCL	
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
						I2C2_SCL		
PF4	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
							I2C1_SDA	
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
						I2C2_SDA		
PF5	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
			TIM1_BKIN2					
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PF6	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
					USART1_CTS			
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PF7	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	TIM3_ETR	USART3_RTS						
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
				TIM1_CH1N				
PF8	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15
PF9	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
	AF8	AF9	AF10	AF11	AF12	AF13	AF14	AF15

矽源特科技 ChipSourceTek

4. ZH32L072存储器映射

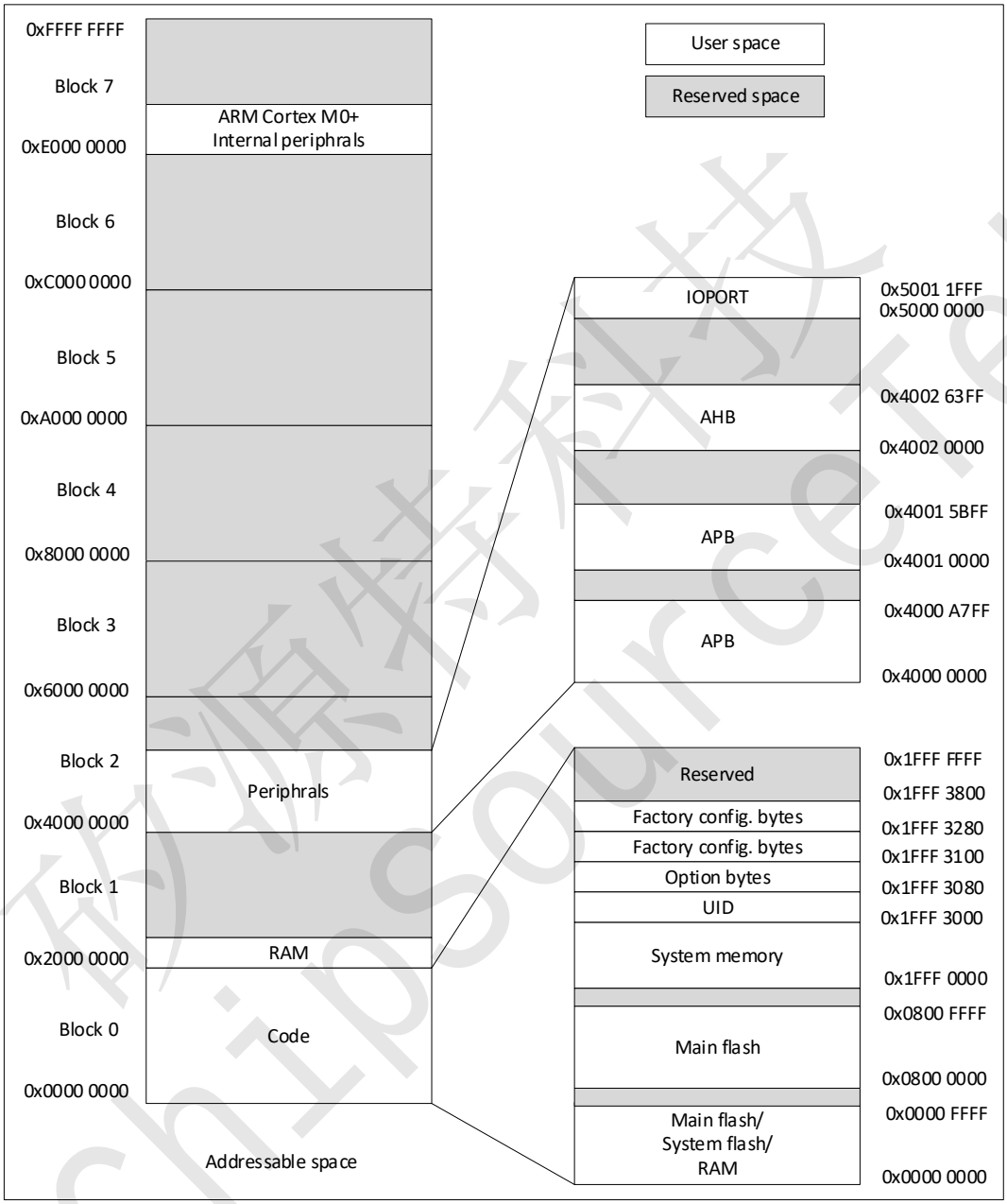


图 4-1 存储器映射

表 4-1 存储器地址

Type	Boundary Address	Size	Memory Area	Description
SRAM	0x2000 2000-0x3FFF FFFF	~512MBytes	Reserved	
	0x2000 0000-0x2000 3FFF	16KBytes	SRAM	如果硬件上电配置 SRAM 为 8kBytes，则 SRAM 地址空间为 0x2000 000-0x2000
Information Block	0x1FFF 3400-0x1FFF	4KBytes	Reserved	
	0x1FFF 3380-0x1FFF	256Bytes	High Tempr Param	HIGH-Tempr TS DATA
	0x1FFF 3300-0x1FFF	256Bytes	Trim bytes	ALL Trim data,NML-
	0x1FFF 3280-0x1FFF 32FF	256Bytes	Normal Tempr Param	flash 擦写时间配置参
	0x1FFF 3200-0x1FFF	256Bytes	FT infor2 bytes	HSI Re-Trim data
	0x1FFF 3180-0x1FFF	256Bytes	FT infor1 bytes	Flash/sram size 配置;IP
	0x1FFF 3100-0x1FFF	256Bytes	FT infor0 bytes	GPIO infor;FT infor-
	0x1FFF 3080-0x1FFF 30FF	256Bytes	Option bytes	芯片软硬件 option
	0x1FFF 3000-0x1FFF	256Bytes	UID bytes	Unique ID
	0x1FFF 0000-0x1FFF	12KBytes	System memory	存放 boot loader
-	0x0801 0000-0x1FFF FFFF	~384MBytes	Reserved	
Main Block	0x0800 0000-0x0801 FFFF	128KBytes	Main flash memory	
-	0x0001 0000-0x07FF FFFF	~8MBytes	Reserved	
-	0x0000 0000-0x0001 FFFF	128KBytes	根据 Boot 配置选择，是.	

Type	Boundary Address	Size	Memory Area	Description
			1）Main flash memory 2）System memory 3）SRAM	

(1) 上述空间除外，其余标注为 reserved 的空间，无法进行写操作，读为 0，且产生 response error。

表 4-2 外设寄存器地址

Bus	Boundary Address	Size	PY*F072
	0xE000 000-0xE00F FFFF	1Mbytes	M0+
IOPORT	0x5000 1800 - 0x5FFF FFFF	~256 MB	Reserved
	0x5000 1400 - 0x5000 17FF	1 KB	GPIOF
	0x5000 1000 - 0x5000 13FF	1 KB	Reserved
	0x5000 0C00 - 0x5000 0FFF	1 KB	Reserved
	0x5000 0800 - 0x5000 0BFF	1 KB	GPIOC
	0x5000 0400 - 0x5000 07FF	1 KB	GPIOB
	0x5000 0000 - 0x5000 03FF	1 KB	GPIOA
AHB	0x4002 6400 - 0x4FFF FFFF	~256 MB	Reserved
	0x4002 3800 –0x4002 3BFF	1 KB	DIV
	0x4002 3400 - 0x4002 37FF	1 KB	Reserved
	0x4002 3000 - 0x4002 33FF	1 KB	CRC
	0x4002 2400 - 0x4002 2FFF	3 KB	Reserved
	0x4002 2000 - 0x4002 23FF	1 KB	FLASH
	0x4002 1C00 - 0x4002 1FFF	1 KB	Reserved
	0x4002 1800 - 0x4002 1BFF	1 KB	EXTI
	0x4002 1400 - 0x4002 17FF	1 KB	Reserved
	0x4002 1000 - 0x4002 13FF	1 KB	RCC 注2
	0x4002 0400 - 0x4002 0FFF	3 KB	Reserved
	0x4002 0000 - 0x4002 03FF	1 KB	DMA
APB	0x4001 5C00 - 0x4001 FFFF	41 KB	Reserved
	0x4001 5800 - 0x4001 5BFF	1 KB	DBG
	0x4001 4C00 - 0x4001 57FF	3 KB	Reserved
	0x4001 4800 - 0x4001 4BFF	1 KB	TIM17
	0x4001 4400 - 0x4001 47FF	1 KB	TIM16

Bus	Boundary Address	Size	PY*F072
	0x4001 4000 - 0x4001 43FF	1 KB	TIM15
	0x4001 3C00 - 0x4001 3FFF	1 KB	Reserved
	0x4001 3800 - 0x4001 3BFF	1 KB	USART1
	0x4001 3400 - 0x4001 37FF	1 KB	Reserved
	0x4001 3000 - 0x4001 33FF	1 KB	SPI1/I2S1
	0x4001 2C00 - 0x4001 2FFF	1 KB	TIM1
	0x4001 2800 - 0x4001 2BFF	1 KB	Reserved
	0x4001 2400 - 0x4001 27FF	1 KB	ADC
	0x4001 0400 - 0x4001 23FF	8 KB	Reserved
	0x4001 0300 - 0x4001 03FF	1 KB	OPA
	0x4001 0200 - 0x4001 02FF		COMP
	0x4001 0000 - 0x4001 01FF		SYSCFG
	0x4000 8000- 0x4000 FFFF	32 KB	Reserved
	0x4000 7C00 - 0x4000 7FFF	1 KB	LPTIM1
	0x4000 7800 - 0x4000 7BFF	1 KB	Reserved
	0x4000 7400 - 0x4000 77FF	1 KB	DAC
	0x4000 7000 - 0x4000 73FF	1 KB	PWR [注3]
	0x4000 6C00 - 0x4000 6FFF	1 KB	CRS
	0x4000 6800 - 0x4000 6BFF	1 KB	Reserved
	0x4000 6400 - 0x4000 67FF	1 KB	Reserved
	0x4000 6000 - 0x4000 63FF	1 KB	USB SRAM(实际以 IP 为准)
	0x4000 5C00 - 0x4000 5FFF	1 KB	USB
	0x4000 5800 - 0x4000 5BFF	1 KB	I2C2
	0x4000 5400 - 0x4000 57FF	1 KB	I2C1
	0x4000 5000 - 0x4000 53FF	1 KB	Reserved
	0x4000 4C00 - 0x4000 4FFF	1 KB	USART4
	0x4000 4800 - 0x4000 4BFF	1 KB	USART3
	0x4000 4400 - 0x4000 47FF	1 KB	USART2
	0x4000 3C00 - 0x4000 43FF	2 KB	Reserved
	0x4000 3800 - 0x4000 3BFF	1 KB	SPI2/I2S2
	0x4000 3400 - 0x4000 37FF	1 KB	Reserved
	0x4000 3000 - 0x4000 33FF	1 KB	IWDG
	0x4000 2C00 - 0x4000 2FFF	1 KB	WWDG

Bus	Boundary Address	Size	PY*F072
	0x4000 2800 - 0x4000 2BFF	1 KB	RTC (include TAMP,BKP)
	0x4000 2400 - 0x4000 27FF	1 KB	LCD
	0x4000 2000 - 0x4000 23FF	1 KB	TIM14
	0x4000 1800 - 0x4000 1FFF	2 KB	Reserved
	0x4000 1400 - 0x4000 17FF	1 KB	TIM7
	0x4000 1000 - 0x4000 13FF	1 KB	TIM6
	0x4000 0800 - 0x4000 0FFF	2 KB	Reserved
	0x4000 0400 - 0x4000 07FF	1 KB	TIM3
	0x4000 0000 - 0x4000 03FF	1 KB	TIM2

(1) 上表 AHB 标注为 Reserved 的地址空间，无法写操作，读回为 0，且产生 hardfault。

(2) 不仅支持 32bit word 访问，还支持 halfword 和 byte 访问。

(3) 不仅支持 32bit word 访问，还支持 halfword 访问。

矽源特科技 ChipSourceTek

5. ZH32L072电气特性

5.1. 测试条件

除非特殊说明，所有的电压都以 VSS 为基准。

5.1.1. 最小值和最大值

除非特殊说明，通过在环境温度 TA=25°C 和 TA=TA(max)下进行的芯片量产测试筛选，保证在最坏的环境温度、供电电压和时钟频率条件下达到最小值和最大值。

基于表格下方注解的电特性结果、设计仿真和/或工艺参数的数据，未在生产中进行测试。最小和最大数值参考了样品测试，取平均值再加或者减三倍的标准偏差。

5.1.2. 典型值

除非特殊说明，典型数据是基于 TA=25°C 和 VCC=3.3V。这些数据仅用于设计指导未经过测试。

典型的 ADC 精度数值是通过对一个标准批次的采样，在所有温度范围下测试得到，95%的芯片误差小于等于给出的数值。

5.2. 绝对最大额定值

如果加在芯片上超过以下表格给出的绝对最大值，可能会导致芯片永久性的损坏。这里只是列出了所能承受的强度分等，并不意味着在此条件下器件的功能操作无误。长时间工作在最大值条件下可能影响芯片的可靠性。

表 5-1 电压特性(1)

符号	描述	最小值	最大值	单位
VCC	外部主供电电源	-0.3	6.25	V
V_{IN}	其他 Pin 的输入电压	-0.3	VCC+0.3	V

（1） 电源 VCC 和地 VSS 引脚必须始终连接到外部允许范围内的供电系统上。

表 5-2 电流特性

符号	描述	最大值	单位
I_{VCC}	流进 VCC pin 的总电流(供应电流)(1)	300	mA
I_{VSS}	流出 VSS pin 的总电流(流出电流) (1)	300	
$I_{IO(PIN)}$	IO 的输出灌电流(2)	20	
	所有 IO 的拉电流	-20	

（1） 电源 VCC 和地 VSS 引脚必须始终连接到外部允许范围内的供电系统上。

（2） IO 类型可参考引脚定义的术语和符号。

表 5-3 温度特性

符号	描述	数值	单位
T_{STG}	存储温度范围	-65~+150	℃
T_O	工作温度范围	-40~+85	℃

5.3. 工作条件

5.3.1. 通用工作条件

表 5-4 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率	-	0	72	MHz
f_{PCLK}	内部 APB 时钟频率	-	0	72	MHz
VCC	标准工作电压	-	1.7	5.5	V
VIN	IO 输入电压	-	-0.3	VCC+0.3	V
T_A	环境温度	-	-40	85	℃
T_J	结温	-	-40	105	℃

5.3.2. 上下电工作条件

表 5-5 上电和掉电工作条件

符号	参数	条件	最小值	最大值	单位
t_{VCC}	VCC 上升速率	-	0	∞	us/V
	VCC 下降速率	-	20	∞	

5.3.3. 内嵌复位和 LVD 模块特性

表 5-6 内嵌复位模块特性

符号	参数	条件	最小值	典型值	最大值	单位
$t_{RSTTEMPO}$(1)	复位重置时间	-	-	4.0	7.5	ms
$V_{POR/PDR}$	POR/PDR 复位阈值	上升沿	1.50(2)	1.60	1.70	V
		下降沿	1.45(1)	1.55	1.65(2)	V
V_{BOR1}	BOR 阈值 1	上升沿	1.70(2)	1.80	1.90	V
		下降沿	1.60	1.70	1.80(2)	V
V_{BOR2}	BOR 阈值 2	上升沿	1.90(2)	2.00	2.10	V
		下降沿	1.80	1.90	2.00(2)	V
V_{BOR3}	BOR 阈值 3	上升沿	2.10(2)	2.20	2.30	V
		下降沿	2.00	2.10	2.20(2)	V
V_{BOR4}	BOR 阈值 4	上升沿	2.30(2)	2.40	2.50	V
		下降沿	2.20	2.30	2.40(2)	V
V_{BOR5}	BOR 阈值 5	上升沿	2.50(2)	2.60	2.70	V
		下降沿	2.40	2.50	2.60(2)	V
V_{BOR6}	BOR 阈值 6	上升沿	2.70(2)	2.80	2.90	V
		下降沿	2.60	2.70	2.80(2)	V
V_{BOR7}	BOR 阈值 7	上升沿	2.90(2)	3.00	3.10	V
		下降沿	2.80	2.90	3.00(2)	V
V_{BOR8}	BOR 阈值 8	上升沿	3.10(2)	3.20	3.30	V
		下降沿	3.00	3.10	3.20(2)	V
V_{PVD0}	PVD 阈值 0	上升沿	1.70(2)	1.80	1.90	V

符号	参数	条件	最小值	典型值	最大值	单位
		下降沿	1.60	1.70	1.80(2)	V
V_{PVD1}	PVD 阈值 1	上升沿	1.90(2)	2.00	2.10	V
		下降沿	1.80	1.90	2.00(2)	V
V_{PVD2}	PVD 阈值 2	上升沿	2.10(2)	2.20	2.30	V
		下降沿	2.00	2.10	2.20(2)	V
V_{PVD3}	PVD 阈值 3	上升沿	2.30(2)	2.40	2.50	V
		下降沿	2.20	2.30	2.40(2)	V
V_{PVD4}	PVD 阈值 4	上升沿	2.50(2)	2.60	2.70	V
		下降沿	2.40	2.50	2.60(2)	V
V_{PVD5}	PVD 阈值 5	上升沿	2.70(2)	2.80	2.90	V
		下降沿	2.60	2.70	2.80(2)	V
V_{PVD6}	PVD 阈值 6	上升沿	2.90(2)	3.00	3.10	V
		下降沿	2.80	2.90	3.00(2)	V
V_{PVD7}	PVD 阈值 7	上升沿	3.10(2)	3.20	3.30	V
		下降沿	3.00	3.10	3.20(2)	V
$V_{POR_PDR_hyst}$(1)	POR/PDR 迟滞电压	-		50		mV
$V_{PVD_BOR_hyst}$(1)	PVD 迟滞电压			100		mV
$I_{dd(PVD)}$	PVD 功耗			0.6		uA
$I_{dd(BOR)}$	BOR 功耗			0.6		uA

（1） 由设计保证，不在生产中测试。

（2） 数据基于考核结果，不在生产中测试。

5.3.4. 工作电流特性

表 5-7 运行模式电流

符号	条件						典型值(1)	最大值	单位
	系统时钟	频率	代码	运行	外设时钟	FLASH sleep			
I_{DD}(run)	HSI	72MHz	While(1)	Flash	ON	DISABLE		-	mA
					OFF	DISABLE		-	
		48MHz			ON	DISABLE			
					OFF	DISABLE			
		24MHz			ON	DISABLE		-	
					OFF	DISABLE		-	
		16MHz			ON	DISABLE		-	
					OFF	DISABLE		-	
		8MHz			ON	DISABLE		-	
					OFF	DISABLE		-	
		4MHz			ON	DISABLE		-	
					OFF	DISABLE		-	
	LSI	32kHz			ON	DISABLE		-	uA
					OFF	DISABLE		-	
	LSI	32.768kHz			ON	ENABLE	25	-	uA
					OFF	ENABLE	24.	-	

（1） 数据基于考核结果，不在生产中测试。

表 5-8 sleep 模式电流

符号	条件				典型值(1)	最大值	单位
	系统时钟	频率	外设时钟	FLASH sleep			
I_{DD}(sleep)	HSI	72MHz	ON	DISABLE		-	mA
			OFF	DISABLE		-	mA
		48MHz	ON	DISABLE			
			OFF	DISABLE			
		24MHz	ON	DISABLE		-	mA
			OFF	DISABLE		-	mA
		16MHz	ON	DISABLE		-	mA
			OFF	DISABLE		-	mA
		8MHz	ON	DISABLE		-	mA
			OFF	DISABLE		-	mA
		4MHz	ON	DISABLE		-	mA
			OFF	DISABLE		-	mA
	LSI	32.768kHz	ON	DISABLE	170	-	uA
			OFF	DISABLE	170	-	uA
	LSI	32.768kHz	ON	ENABLE	95	-	uA
			OFF	ENABLE	96	-	uA

（1） 数据基于考核结果，不在生产中测试。

表 5-9 stop 模式电流

符号	条件					典型值(1)	最大值	单位
	VCC	VDD	MR/LPR	LSI	外设时钟			
I_{DD}(stop)	1.7~5.5V	1.2V	MR	-	-	30	-	uA
		1.2V	LPR	ON	RTC+IWDG+LPTIM	6	-	
					IWDG	6	-	
					LPTIM	6	-	
					RTC	6	-	
				OFF	No	6	-	
		1.0V		ON	RTC+IWDG+LPTIM	4.5	-	
					IWDG	4.5	-	
					LPTIM	4.5	-	
					RTC	4.5	-	
				OFF	No	3	-	

（1） 数据基于考核结果，不在生产中测试。

5.3.5. 低功耗模式唤醒时间

表 5-10 低功耗模式唤醒时间

符号	参数(1)		条件	典型值(2)	最大值	单位
$T_{WUSLEEP}$	Sleep 的唤醒时间		-	7		CPU Cycles
T_{WUSTOP}	Stop 的唤醒时间	MR 供电	Flash 中执行程序，HSI(24Mhz)作为系统时钟	3.5		us

符号	参数(1)		条件		典型值(2)	最大值	单位
		LPR 供电	Flash 中执行程序，HSI 作为系统时钟	VDD=1.2V	5		us
				VDD=1.0V	8		

（1） 唤醒时间的测量是从唤醒时间开始至用户程序读取第一条指令。

（2） 数据基于考核结果，不在生产中测试。

5.3.6. 外部时钟源特性

5.3.6.1. 外部高速时钟

在 HSE 的 bypass 模式(RCC_CR 的 HSEBYP 置位)，芯片内的高速起振电路停止工作，相应的 IO 作为标准的 GPIO 使用。

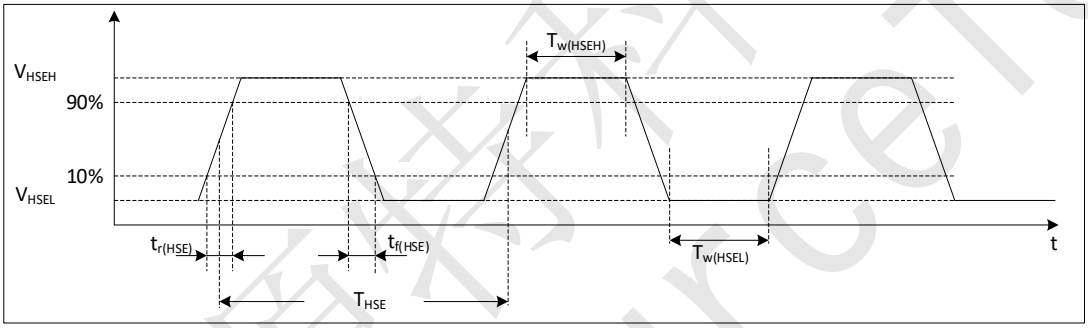


图 5-1 外部高速时钟时序图

表 5-11 外部高速时钟特性

符号	参数(1)	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率	0	8	32	MHz
V_{HSEH}	输入引脚高电平电压	0.7VCC		VCC	V
V_{HSEL}	输入引脚低电平电压	Vss		0.3VCC	
$t_{W(HSEH)}$ $t_{W(HSEL)}$	输入高或低的时间	15			ns
$t_{r(HSE)}$ $t_{f(HSE)}$	输入上升/下降的时间	-		20	ns

（1） 由设计保证，不在生产中测试。

5.3.6.2. 外部低速时钟

在 LSE 的 bypass 模式(RCC_BDCR 的 LSEBYP 置位)，芯片内的低速起振电路停止工作，相应的 IO 作为标准的 GPIO 使用。

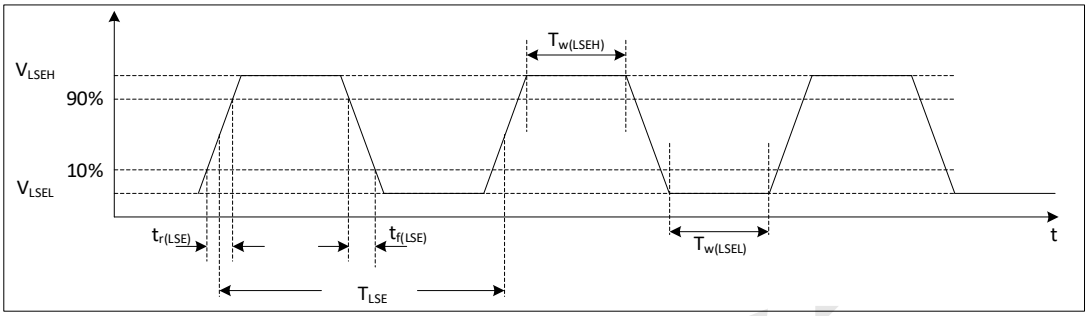


图 5-2 外部低速时钟时序图

表 5-12 外部低速时钟特性

符号	参数(1)	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟频率		32.768	1000	kHz
V_{LSEH}	输入引脚高电平电压	0.7VCC			V
V_{LSEL}	输入引脚低电平电压			0.3VCC	V
$t_{W(LSEH)}$ $t_{W(LSEL)}$	输入高或低的时间	450			ns
$t_{r(LSE)}$ $t_{f(LSE)}$	输入上升/下降的时间			50	ns

（1） 由设计保证，不在生产中测试。

5.3.6.3. 外部高速晶体

可以通过外接~32MHz 的晶体/陶瓷谐振器。在应用中，晶体和负载电容应该尽可能靠近管脚，这样可以使输出变形和启动稳定时间最小化。

表 5-13 外部高速晶体特性

符号	参数	条件(1)	最小值(2)	典型值	最大值(2)	单位
f_{OSC_IN}	振荡频率	-	1		32	MHz
IDD(4)	HSE 功耗	During startup			5.5	mA
		VCC=3V,Rm=30Ω, CL=10pF@8MHz		0.58		
		VCC=3V,Rm=45Ω, CL=10pF@8MHz		0.59		
		VCC=3V,Rm=30Ω, CL=5pF@48MHz		0.89		
		VCC=3V,Rm=30Ω, CL=10pF@48MHz		1.14		
		VCC=3V,Rm=30Ω, CL=20pF@48MHz		1.94		
$t_{SU(HSE)}$(3) (4)	启动时间	f_{OSC_IN}=32MHz		2		ms
		f_{OSC_IN}=4MHz		2		ms

（1） 晶体/陶瓷谐振器特性基于制造商给出的数据手册。

（2） 由设计保证，不在生产中测试。

（3） $t_{SU(HSE)}$是从启用（通过软件）到时钟振荡达到稳定的启动时间，针对标准晶体/谐振器测量的，不同晶体/谐振器可能会有很大差异。

（4） 数据基于考核结果，不在生产中测试。

5.3.6.4. 外部低速晶体

可以通过外接 32.768 kHz 的晶体/陶瓷谐振器。在应用中，晶体和负载电容应该尽可能靠近管脚，这样可以使输出变形和启动稳定时间最小化。

表 5-14 外部低速晶体特性

符号	参数	条件(1)	最小值(2)	典型值	最大值(2)	单位
I_{DD}(4)	LSE 功耗	LSE_DRIVER [1:0] = 00		250		nA
		LSE_DRIVER [1:0] = 01		560		
		LSE_DRIVER [1:0] = 10		920		
		LSE_DRIVER [1:0] = 11		1260		
$t_{SU(LSE)}$(3) (4)	启动时间			3		s

（1） 晶体/陶瓷谐振器特性基于制造商给出的数据手册。

（2） 由设计保证，不在生产中测试。

（3） $t_{SU(LSE)}$是从启用（通过软件）到时钟振荡达到稳定的启动时间，针对标准晶体/谐振器测量的，不同晶体/谐振器可能会有很大差异。

（4） 数据基于考核结果，不在生产中测试。

5.3.7. 内部高频时钟源 HSI 特性

表 5-15 内部高频时钟源特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	HSI 频率		4.0	4.0 8.0 16.0 22.12 24.0	24.0	MHz
$\Delta_{Temp(HSI)}$	HSI 频率温度漂移	VCC=1.7V~5.5V, TA=25C	-1(2)		1(2)	%
		VCC=1.7V~5.5V, TA=0C~85C	-2(2)		2(2)	%
		VCC=1.7V~5.5V, TA=-40C~85C	- 4(2)		2(2)	%
f_{TRIM}(1)	HSI 微调精度			0.1		%
D_{HSI}(1)	占空比		45(1)		55(1)	%
$t_{Stab(HSI)}$	HSI 稳定时间			2	4(1)	us
$I_{DD(HSI)}$ (2)	HSI 功耗	4MHz		100		uA
		8MHz		105		uA
		16MHz		150		uA
		22.12MHz, 24MHz		180		uA

（1） 由设计保证，不在生产中测试。

（2） 数据基于考核结果，不在生产中测试。

5.3.8. 内部低频时钟源 LSI 特性

表 5-16 内部低频时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	LSI 频率			32KHz		
$\Delta_{Temp(LSI)}$	LSI 频率温度漂移	T_A=25°C,VCC=3.3V	-3		+3	%
		VCC=1.6V~5.5V T_A=0C~85C	-10(2)		10(2)	%
		VCC=1.6V~5.5V,T_A=-40C~85C	-20(2)		20(2)	%
f_{TRIM}(1)	LSI 微调精度			0.2		%
$t_{Stab(LSI)}$ (1)	LSI 稳定时间			150		us
$I_{DD(LSI)}$ (1)	LSI 功耗			210		nA

（1） 由设计保证，不在生产中测试。

（2） 数据基于考核结果，不在生产中测试。

5.3.9. 锁相环 PLL 特性

表 5-17 锁相环特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{PLL_IN}	输入频率	T_A=25°C,VCC=3.3V	12(1)		24(1)	MHz
f_{PLL_OUT}	输出频率	T_A=25°C,VCC=3.3V	24(1)		72	MHz
Jitter	周期抖动				0.3(1)	ns
t_{LOCK}	锁存时间	f_{PLL_IN}=24MHz		15	40(1)	us

（1） 由设计保证，不在生产中测试。

5.3.10. 存储器特性

表 5-18 存储器特性

符号	参数	条件	典型值	最大值(1)	单位
t_{prog}	Page program	-	1.0	1.5	ms
t_{ERASE}	Page/sector/mass erase	-	3.0	4.5	ms
I_{DD}	Page programe		2.1	2.9	mA
	Page/sector/mass erase		2.1	2.9	mA

（1） 由设计保证，不在生产中测试。

表 5-19 存储器擦写次数和数据保持

符号	参数	条件	最小值(1)	单位
N_{END}	擦写次数	T_A = -40~85℃	100	kcycle
t_{RET}	数据保持期限	10 kcycle T_A = 55℃	20	Year

（1） 数据基于考核结果，不在生产中测试。

5.3.11. EFT 特性

符号	参数	条件	等级	典型值	单位
EFT to IO		IEC61000-4-4	B	2	KV
EFT to Power		IEC61000-4-4	B	4	KV

5.3.12. ESD & LU 特性

表 5-20 ESD & LU 特性

符号	参数	条件	典型值	单位
$V_{ESD(HBM)}$	静态放电电压(人体模型)	ESDA/JEDEC JS-001-2017	8	KV
$V_{ESD(CDM)}$	静态放电电压(充电设备模型)	ESDA/JEDEC JS-002-2018	1	KV
$V_{ESD(MM)}$	静态放电电压(机器模型)	JESD22-A115C	200	V
LU	静态 Latch-Up	JESD78E	200	mA

5.3.13. 端口特性

表 5-21 IO 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平电压	VCC=1.7V~5.5V	0.7VCC			V
V_{IL}	输入低电平电压	VCC=1.7V~5.5V			0.3VCC	V
V_{hys}(1)	斯密特迟滞电压			200		mV
I_{lkg}	输入漏电流				1	uA
R_{PU}	上拉电阻		30	50	70	kΩ
R_{PD}	下拉电阻		30	50	70	kΩ
C_{IO}(1)	引脚电容			5		pF

（1） 由设计保证，不在生产中测试。

表 5-22 输出电压特性

符号	参数(1)	条件	最小值	最大值	单位
V_{OL}	COM IO output low level	I_{OL} = 8 mA, VCC ≥ 2.7 V	-	0.4	V
V_{OL}		I_{OL} = 4 mA, VCC = 1.8 V	-	0.5	V
V_{OL}(3)	Output low level voltage for an I/O pin	I_{OL} = 8 mA, VCC ≥ 2.7 V	-	0.4	V
V_{OL}(3)		I_{OL} = 4 mA, VCC = 1.8 V	-	0.4	V
V_{OH}	COM IO output high level	I_{OH} = 8 mA, VCC ≥ 2.7 V	VCC–0.4	-	V
V_{OH}		I_{OH} = 4 mA, VCC = 1.8 V	VCC–0.5	-	V
V_{OH}(3)	Output high level voltage for an I/O pin	I_{OL} = 8 mA, VCC ≥ 2.7 V	VCC–0.4		V
V_{OH}(3)		I_{OL} = 4 mA, VCC = 1.8 V	VCC–0.4		V

（1） IO 类型可参考引脚定义的术语和符号。

（2） 数据基于考核结果，不在生产中测试。

5.3.14. NRST 引脚特性

表 5-23 NRST 管脚特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	输入高电平电压	VCC=1.7V~5.5V	0.7VCC			V
V_{IL}	输入低电平电压	VCC=1.7V~5.5V			0.2VCC	V
V_{hys}(1)	斯密特迟滞电压			300		mV
I_{lkg}	输入漏电流				1	uA
R_{PU}（1）	上拉电阻		30	50	70	kΩ
R_{PD}（1）	下拉电阻		30	50	70	kΩ

符号	参数	条件	最小值	典型值	最大值	单位
C_{IO}	引脚电容			5		pF

（1） 由设计保证，不在生产中测试。

5.3.15. ADC 特性

表 5-24 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
I_{DD}	功耗	@0.75MSPS		1.0		mA
C_{IN}(1)	内部采样和保持电容			5		pF
F_{ADC}	转换时钟频率	VCC=1.7~2.3V	1	4	8(2)	MHz
		VCC=2.3~5.5V	1	8	16(2)	MHz
Tsamp(1)		VCC=1.7~2.3V	0.2			us
		VCC=2.3~5.5V	0.1			us
Tconv(1)				12*Tclk		
Teoc(1)				0.5*Tclk		
DNL(2)	3-3.6V@RT				±1	LSB
INL(2)	3-3.6V@RT				±1.5	LSB
Offset(2)	3-3.6V@RT				±1.5	LSB
DNL	1.7~2.3V@RT				?	
DNL	2.3~5.5V@RT				?	

（1） 由设计保证，不在生产中测试。

（2） 数据基于考核结果，不在生产中测试。

5.3.16. DAC 特性

符号	参数	最小值	典型值	最大值	单位	Comments
V_{DDA}	Analog supply voltage	1.7	-	5.5	V	-
$R_{LOAD(1)}$	Resistive load vs. VSSA with buffer ON	5	-	-	kΩ	
	Resistive load vs. VCCA with buffer ON	15	-	-	kΩ	
$R_{O(1)}$	Impedance output with buffer OFF	-	-	15	kΩ	The minimum resistive load between DAC_VOUT and VSS to have a 1% accuracy is 1.5 MΩ .
$C_{LOAD(1)}$	Capacitive load	-	-	50	pF	Maximum capacitive load at DAC_OUT pin (when the buffer is ON).
DAC_OUT min(1)	Lower DAC_OUT voltage with buffer ON	0.2	-	-	V	It gives the maximum output excursion of the DAC.
DAC_OUT max(1)	Higher DAC_OUT voltage with buffer ON	-	-	VDDA - 0.2	V	

符号	参数	最小值	典型值	最大值	单位	Comments
DAC_OUT min(1)	Lower DAC_OUT voltage with buffer OFF	-	0.5	-	mV	It gives the maximum output excursion of the DAC.
DAC_OUT max(1)	Higher DAC_OUT voltage with buffer OFF	-	-	V DDA – 10 mV	V	
$I_{DDA(1)}$	DAC DC current consumption in quiescent-mode (2)	-	-	600	µA	With no load, middle code (0x800) on the inputs
		-	-	700	µA	With no load, worst code (0xF1C) at VREF+ = 3.6 V in terms of DC consumption on the inputs
DNL(3)	Differential linearity error	-	-	±1	LSB	Given for the DAC in 10-bit configuration
		-	-	±3	LSB	Given for the DAC in 12-bit configuration
INL(3)	Integral linearity error	-	-	±1	LSB	Given for the DAC in 10-bit configuration
				±4	LSB	Given for the DAC in 12-bit configuration
Offset(3)	offset error	-	-	±3	LSB	Given for the DAC in 10-bit
		-	-	±12	LSB	Given for the DAC in 12-bit
Gain error(3)	Gain error	-	-	±0.5	%	Given for the DAC in 12-bit configuration
$t_{SETTLING(3)}$	Settling time (full scale: for a 10-bit input code transition between the lowest and the highest input codes when DAC_OUT reaches finalvalue ±1LSB	-	3	4	µs	C_{LOAD} ≤ 50 pF, R_{LOAD} ≥ 5 kΩ
Update rate(3)	Max frequency for a correct DAC_OUT change when small variation in the inputcode (from code i to i+1LSB)	-	-	1	MS/s	C_{LOAD} ≤ 50 pF, R_{LOAD} ≥ 5 kΩ
$t_{WAKEUP(3)}$	Wakeup time from off state	-	6.5	10	µs	C_{LOAD} ≤ 50 pF, R_{LOAD} ≥ 5 kΩ input code between lowest and highest possible ones.
PSRR+(1)	Power supply rejection ratio (to V DDA) (static DC measurement	-	–67	–40	dB	No R_{LOAD} , C_{LOAD} = 50 pF

5.3.17. 比较器特性

表 5-25 比较器特性(1)

符号	参数	条件	最小值	典型值	最大值	单位
VIN	Input voltage range		0		VCC	V
VBG	Scale input voltage		VREFINT			V

符号	参数	条件		最小值	典型值	最大值	单位
VSC	Scaler offset voltage				±5	±10	mV
IDD(SCALER)	Scaler static consumption				0.8	1	uA
tSTART_SCALER	Scaler startup time				100	200	us
tSTART	Startup time to reach propagation delay specification	High-speed mode				5	us
		Medium-speed mode				15	
tD	Propagation delay	200mV step; 100mV overdrive	High-speed mode		40	70	ns
			Medium-speed mode		0.9	2.3	us
		>200mV step;100mV overdrive	High-speed mode			85	ns
			Medium-speed mode			3.4	us
Voffset	Offset error				±5		mV
Vhys	hysteresis	No hysteresis			0		mV
		With hysteresis			20		
IDD	consumption	Medium-speed mode; No deglitcher	Static		5		uA
			With 50kHz and ±100mv overdrive square signal		6		uA
		Medium-speed mode; With deglitcher	Static		7		uA
			With 50kHz and ±100mv overdrive square signal		8		uA
		High-speed mode; No deglitcher	Static		250		uA
			With 50kHz and ±100mv overdrive square signal		250		uA

（1） 由设计保证，不在生产中测试。

5.3.18. 运算放大器特性

符号	参数	条件	最小值	典型值	最大值	单位
Vi	输入电压		0		AVCC	V
Vo	输出电压		0.1		AVCC-0.2	V
Io	输出电流				2.2	mA
RL	负载时间		5K			Ω
Tstart	初始化时间				20	us
Vio	输入失调电压			±6		mV
PM	相位裕度			80		Deg
UGBW	单位增益宽			10		MHz

符号	参数	条件	最小值	典型值	最大值	单位
SR	压摆率			8		V/us

5.3.19. 温度传感器特性

表 5-26 温度传感器特性

符号	参数	最小值	典型值	最大值	单位
T_L(1)	VTS linearity with temperature		±1	±2	℃
Avg_Slope(1)	Average slope	2.3	2.5	2.7	mV/℃
V_{30}	Voltage at 30℃(±5℃)	0.742	0.76	0.785	V
t_{START}(1)	Start-up time entering in continuous mode		70	120	us
t_{S_temp}(1)	ADC sampling time when reading the temperature	9			us

（1） 由设计保证，不在生产中测试。

（2） 数据基于考核结果，不在生产中测试。

5.3.20. 内置参考电压特性

表 5-27 内置参考电压特性

符号	参数	最小值	典型值	最大值	单位
VREFINT	Internal reference voltage	1.17	1.2	1.23	V
$T_{start_vrefint}$	Start time of internal reference voltage		10	15	us
T_{coeff}	Temperature coefficient			100(1)	ppm/℃
I_{vcc}	Current consumption from VCC		12	20	uA

（1） 由设计保证，不在生产中测试。

5.3.21. 内置的参考电压

符号	参数	条件	最小值	典型值	最大值	单位
VREF25	Internal 2.5V reference voltage	TA=25°C,VCC=3.3V	2.465	2.5	2.525	V
VREF25	Start time of internal reference voltage	TA=-40°C-85°C,VCC1=1.7-5.5V	2.463	2.5	2.525	V(1)
				2.048		
VREF215	Internal 2.5V reference voltage	TA=25°C,VCC=3.3V	1.485	1.5	1.515	V
VREF15	Current consumption from VCC	TA=-40°C-85°C,VCC1=1.7-5.5V	1.477	1.5	1.519	V(1)
Tcoeff	Internal 2.5V/1.5V temperature coefficient	TA=-40°C-85°C			120	ppm/°C

5.3.22. 定时器特性

表 5-28 定时器特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	Timer resolution time	-	1		$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 72MHz	20.833		ns
f_{EXT}	Timer external clock frequency on CH1 to CH4	-		$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}$ = 72MHz		24	
Res_{TIM}	Timer resolution	TIM1/3/14/16/17		16	Bit
$t_{COUNTER}$	16-bit counter clock period		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}$ = 72MHz	0.020833	1365	us

表 5-29 LPTIM 特性(时钟选择 LSI)

预分频	PRESC [2:0]	最小溢出值	最大溢出值	单位
/1	0	0.0305	1998.848	ms
/2	1	0.0610	3997.696	
/4	2	0.1221	8001.9456	
/8	3	0.2441	15997.3376	
/16	4	0.4883	32001.2288	
/32	5	0.9766	64002.4576	
/64	6	1.9531	127998.3616	
/128	7	3.9063	256003.2768	

表 5-30 IWDG 特性(时钟选择 LSI)

预分频	PR[2:0]	最小溢出值	最大溢出值	单位
/4	0	0.122	499.712	ms
/8	1	0.244	999.424	
/16	2	0.488	1998.848	
/32	3	0.976	3997.696	
/64	4	1.952	7995.392	
/128	5	3.904	15990.784	
/256	6 or 7	7.808	31981.568	

表 5-31 WWDG 特性(时钟选择 48MHz PCLK)

预分频	WDGTB[1:0]	最小溢出值	最大溢出值	单位
1*4096	0	0.085	5.461	ms
2*4096	1	0.171	10.923	
4*4096	2	0.341	21.845	
8*4096	3	0.683	43.691	

5.3.23. 通讯口特性

5.3.23.1. I2C 总线接口特性

I2C 接口满足 I2C-bus specification and user manual 的要求：

- Standard-mode(Sm): 100kbit/s
- Fast-mode(Fm): 400kbit/s

时序由设计保证，前提是 I2C 外设被正确的配置，并且 I2C CLK 频率大于下表要求的最小值。

表 5-32 最小 I2C CLK 频率

符号	参数	条件	最小值	单位
$f_{I2CCLK(min)}$	Minimum I2CCLK frequency	Standard-mode	2	MHz
		Fast-mode	9	

I2C SDA 和 SCL 管脚具有模拟滤波功能，参见下表。

表 5-33 I2C 滤波器特性

符号	参数	最小值	最大值	单位
t_{AF}	Limiting duration of spikes suppressed by the filter (Spikers shorter than the limiting duration are suppressed)	50	260	ns

5.3.23.2. 串行外设接口 SPI 特性

表 5-34 SPI 特性

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_{c(SCK)}$	SPI clock frequency	Master mode	-	12	MHz
		Slave mode	-	12	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI clock rise and fall time	Capacitive load: C = 15 pF	-	6	ns
$t_{su(NSS)}$	NSS setup time	Slave mode	4Tpclk	-	ns
$t_{h(NSS)}$	NSS hold time	Slave mode	2Tpclk + 10	-	ns
$t_{w(SCKH)}$ $t_{w(SCKL)}$	SCK high and low time	Master mode, fPCLK = 36 MHz,presc = 4	Tpclk*2 -2	Tpclk*2 + 1	ns
$t_{su(MI)}$ $t_{su(SI)}$	Data input setup time	Master mode, fPCLK = 48 MHz,presc = 4	Tpclk+5(1)	-	ns
		Slave mode, fPCLK = 48 MHz,presc = 4	5	-	
$t_{h(MI)}$	Data input hold time	Master mode	5	-	ns
$t_{h(SI)}$		Slave mode	Tpclk+5	-	
$t_{a(SO)}$	Data output access time	Slave mode, presc = 4	0	3Tpclk	ns
$t_{dis(SO)}$	Data output disable time	Slave mode	2Tpclk+5	4Tpclk+5	ns
$t_{v(SO)}$	Data output valid ime	Slave mode (after enable edge)，presc = 4	0	1.5Tpclk(2)	ns
$t_{v(MO)}$	Data output valid ime	Master mode (after enable edge)	-	6	ns
$t_{h(SO)}$	Data output hold time	Slave mode，presc = 4	0(3)	-	ns
$t_{h(MO)}$		Master mode	2	-	
DuCy(SCK)	SPI slave input clock duty cycle	Slave mode	45	55	%

（1） Master 在接收沿的前产生 1pclk 接收控制信号。

（2） Slave 基于 SCK 发送沿最大有 1PCLK delay，考虑 IO 延时等，定义 1.5PCLK。

（3） 在 Master 发送的 SCK 占空比接收沿和发送沿之间宽的情况下，Slave 在发送沿之前就更新数据。

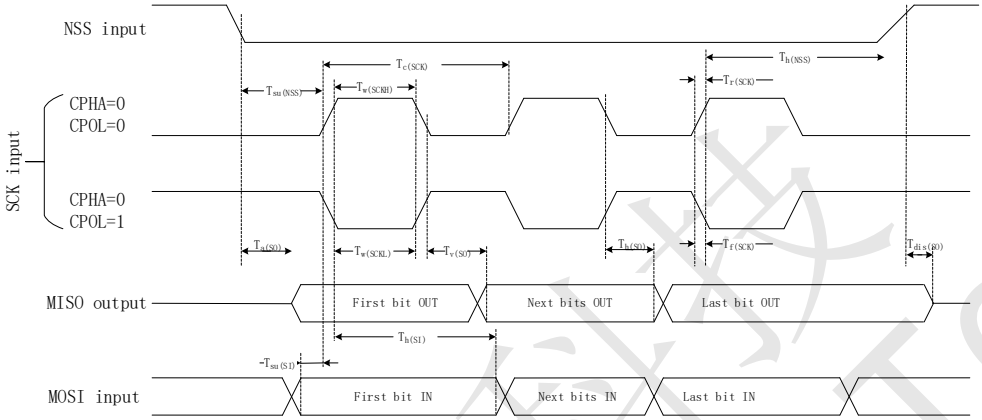


图 5-3 SPI 时序图–slave mode and CPHA=0

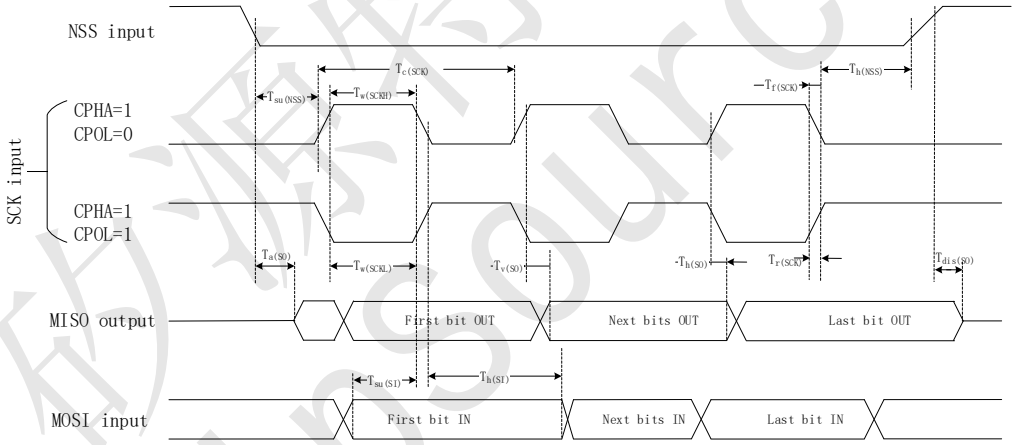


图 5-4 SPI 时序图–slave mode and CPHA=1

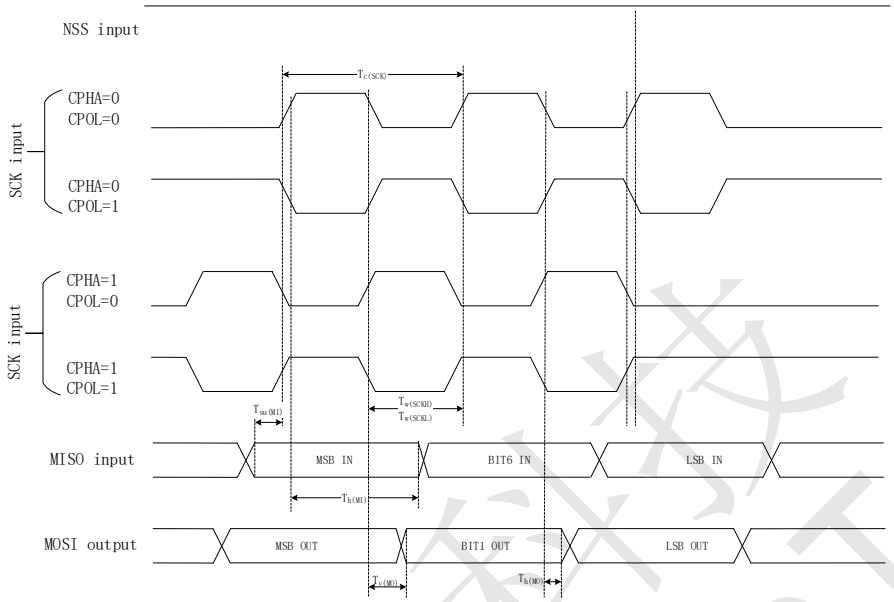
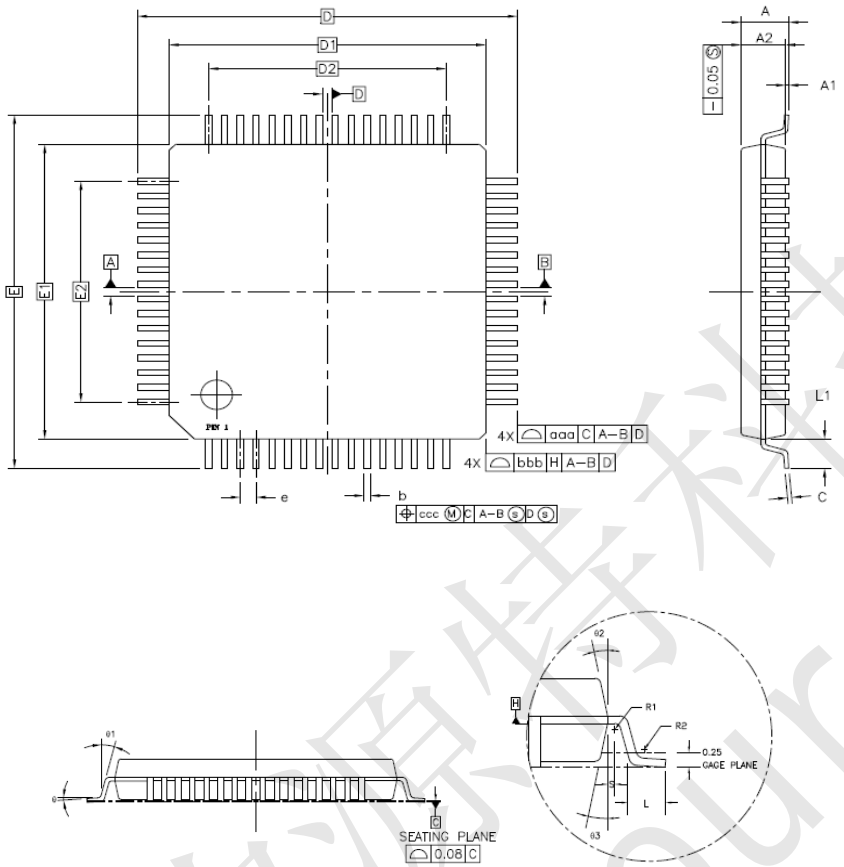


图 5-5 SPI 时序图–master mode

矽源特科技 ChipSourceTek

6. ZH32L072封装信息

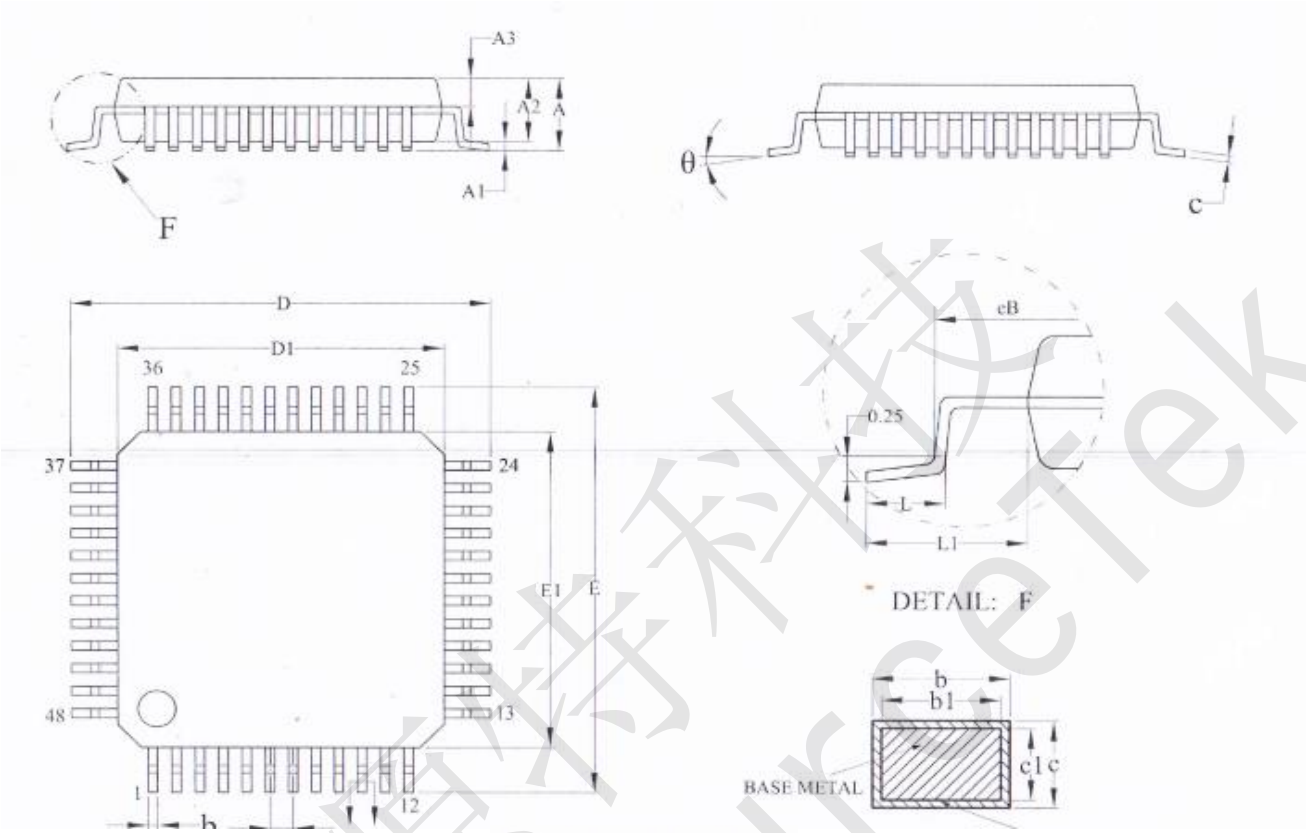
6.1. LQFP64 封装尺寸



Symbol	LQFP64		
	Min	Typ	Max
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
D	-	12.00	-
D1	-	10.00	-
E	-	12.00	-
E1	-	10.00	-
R1	0.08	-	-
R2	0.08	-	0.20
θ	0°	3.5°	7°
θ1	0°	-	-
θ2	11°	12°	13°
θ3	11°	12°	13°
c	0.09	-	0.20
L	0.45	0.60	0.75
L1	-	1.00	-
S	0.20	-	-
b	0.17	0.20	0.27
e	-	0.50	-
D2	-	7.50	-
E2	-	7.50	-
aaa	0.20		
bbb	0.20		
ccc	0.08		

矽源特科技 chipsourcetek

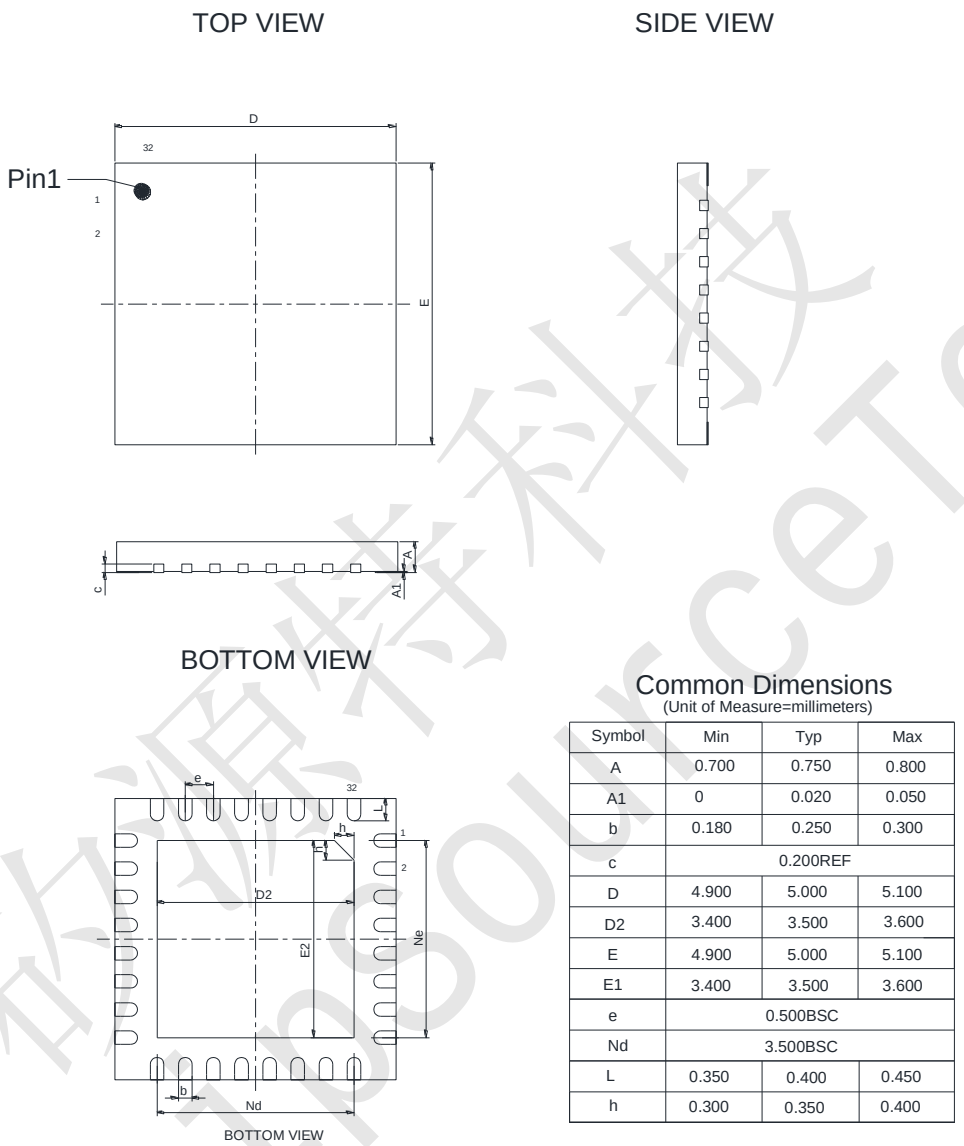
6.2. LQFP48 封装尺寸



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.26
b1	0.17	0.20	0.23
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
eB	8.10	—	8.25
e	0.50BSC		
L	0.45	—	0.75

矽源特科技 chipsourceTek

6.3. QFN32 封装尺寸



Common Dimensions
(Unit of Measure=millimeters)

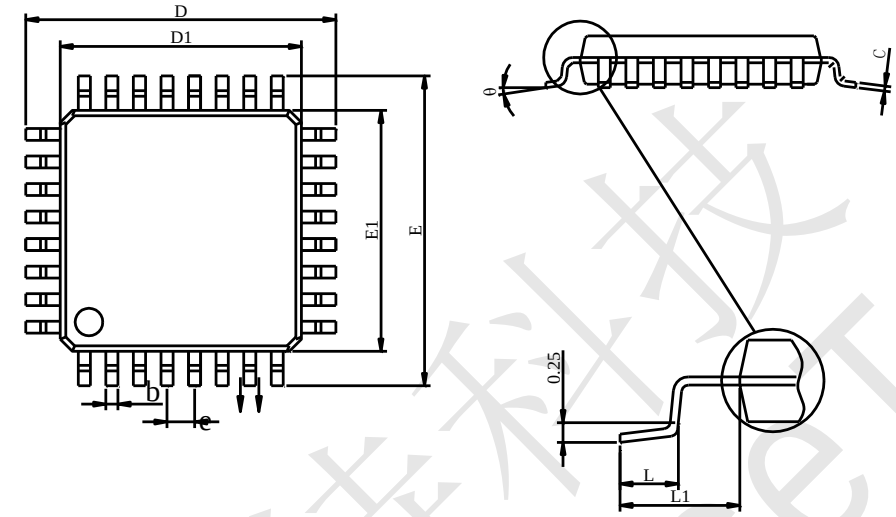
Symbol	Min	Typ	Max
A	0.700	0.750	0.800
A1	0	0.020	0.050
b	0.180	0.250	0.300
c	0.200REF		
D	4.900	5.000	5.100
D2	3.400	3.500	3.600
E	4.900	5.000	5.100
E1	3.400	3.500	3.600
e	0.500BSC		
Nd	3.500BSC		
L	0.350	0.400	0.450
h	0.300	0.350	0.400

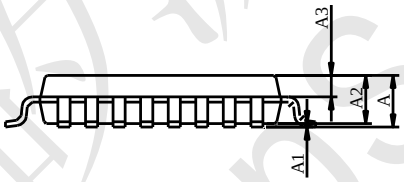
Note：1. Dimensions are not to scale

	TITLE	DRAWING NO.	REV
	QFN32L(0505X0.75-0.5)	QFN-32	A

矽源特科技 ChipSourceTek

6.4. LQFP32 封装尺寸





Common Dimensions
(Unit of Measure=millimeters)

Symbol	Min	Typ	Max
A	-	-	1.600
A1	0.050	-	0.150
A2	1.350	1.400	1.450
A3	0.590	0.640	0.690
b	0.330	-	0.410
c	0.130	-	0.170
D	8.800	9.000	9.200
D1	6.900	7.000	7.100
E	8.800	9.000	9.200
E1	6.900	7.000	7.100
e		0.800BSC	
L	0.450	-	0.750
L1		1.000REF	
θ	0	-	7°

Note：1. Dimensions are not to scale

	TITLE	DRAWING NO.	REV
	LQFP32L(0707X1.4-0.8)	LQFP-32	B

矽源特科技 chipsourceTek

7. ZH32L072订购信息

Example:

ZH	32	L	072	R1	8	T	6	x

Company

Product family
32bit MCU

Product type
L = General purpose

Sub-family
072 = ZH32L072xx

Pin count
K1 = 32 pins Pinout1
K2 = 32 pins Pinout2
K3 = 32 pins Pinout3
C1 = 48 pins Pinout1
R1 = 64 pins Pinout1

User code memory size
6 = 32 Kbytes
7 = 48 Kbytes
8 = 64 Kbytes
9 = 96 Kbytes
B = 128 Kbytes

Package
U = QFN
T = LQFP

Temerature range
6 = -40℃ to +85℃

Options
xxx = code ID of programmed parts(includes packing type)
TR = tape and reel packing
TU = Tube Packing
blank = tray packing

矽源特科技 ChipSourceTek

8. ZH32L072版本历史

版本	日期	更新记录
V0.1	2022.06.16	Pre-release version
V0.2	2022.09.09	1. 修改格式 2. 更新表3-2 3. 更新表1-1

矽源特科技 ChipSourceTek