



NS4002 用户手册 V1.0

深圳市矽源特科技有限公司

2010年1月



目 录

1	功能说明.....	4
2	主要特性.....	4
3	应用领域.....	4
4	典型应用电路.....	4
5	极限参数.....	5
6	电气特性.....	5
7	芯片管脚描述.....	6
7.1	管脚分配图	6
7.2	引脚功能描述	6
8	NS4002 典型参考特性.....	7
8.1	总谐波失真 (THD), 失真+噪声 (THD+N), 信噪比 (S/N)	7
8.2	电源电压抑制比 (PSRR)	9
8.3	芯片功耗 (Power Dissipation)	10
8.4	关断滞回 (Shut Down Hysteresis)	11
8.5	输出功率(Output Power)	12
9	NS4002 应用说明.....	13
9.1	芯片基本结构描述	13
9.2	芯片数字逻辑特性	14
9.3	外部电阻配置	14
9.4	芯片功耗	14
9.5	电源旁路	14
9.6	掉电模式	14
9.7	外围元件的选择	15
9.8	选择输入耦合电容	15
9.9	设计参考实例	15
10	芯片的封装	16



图目录

图 1 NS4002 典型应用电路	4
图 2 管脚分配图	6
图 3 NS4002 原理框图	13
图 4 SOP16 封装尺寸图	16

表目录

表 1 芯片最大物理极限值	5
表 2 NS4002 电气特性	5
表 3 NS4002 管脚描述	6
表 4 关断信号数字逻辑特性	14



1 功能说明

NS4002 是一款双声道音频功率放大器。5V 工作电压时，每个通道最大驱动功率为 3W（3Ω 负载，THD<10%）。可采用 2.5V~5.5V 直流电源供电，其应用电路简单，只需极少数外围器件，方便应用。NS4002 具有外部控制的低功耗关断功能，采用独特的技术减小噪声（开机时的滴答声与爆裂声）和失真度，合理巧妙的内部布局使得具有极其优秀的立体声分离度和信噪比。采用 SOP16 封装，特别适合用于小体积，大功率的立体声 mini 系统。

2 主要特性

- 输出功率高(每个通道): 3W (3Ω 负载, THD<10%) 和 2.7W (4Ω 负载, THD<10%)
- 掉电模式漏电流小: 0.2uA (典型)
- 立体声分离度(Stereo Isolation):80dB
- 采用 SOP16 封装
- 上电、掉电噪声抑制
- 工作电压范围: 2.5V—5.5V
- 具有休眠控制功能

3 应用领域

- 手提电脑
- 台式电脑
- 低压音响系统

4 典型应用电路

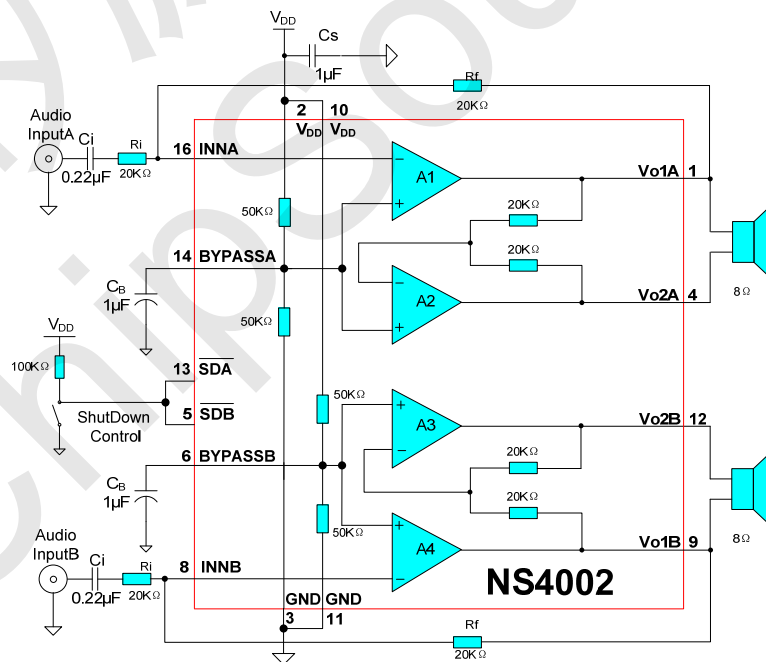


图1 NS4002 典型应用电路



5 极限参数

表1 芯片最大物理极限值

参数	最小值	最大值	单位	说明
电源电压	1.8	6	V	
储存温度	-65	150	°C	
输入电压	-0.3	V _{DD}	V	
功耗			mW	内部限制
耐 ESD 电压 1	3000		V	HBM
耐 ESD 电压 2	250		V	MM
节温	150		°C	典型值 150
推荐工作温度	-40	85	°C	
推荐工作电压	2.0	5.5		
热阻				
θ _{JC} (SOP16)		35	°C/W	
θ _{JA} (SOP16)		140	°C/W	
焊接温度		220	°C	15 秒内

注：在极限值之外或任何其他条件下，芯片的工作性能不予保证。

6 电气特性

限定条件：（V_{DD}=5.0V，T_A=25°C）

表2 NS4002 电气特性

符号	参数	测试条件	最小值	标准值	最大值	单位
V _{DD}	电源电压		2.5		5.5	V
I _{DD}	电源静态电流	V _{IN} =0V, I _O =0A,		8	12	mA
I _{SD}	关断漏电流			1	2	μA
V _{OS}	输出失调电压			5.7	50	mV
R _O	输出电阻		7	8.5	10	KΩ
P _O	输出功率	THD=1%,f=1KHz R _L =3 Ω R _L =4 Ω R _L =8 Ω		2.5 2.1 1.3		W
		THD+N=10%,f=1KHz R _L =3 Ω R _L =4 Ω R _L =8 Ω		3 2.7 1.8		W
THD+N	总失真度+噪声	A _{VD} =2 20Hz≤f≤20KHz R _L =4 Ω, P _o =1.6W R _L =8 Ω, P _o =1W		0.1 0.2		%
PSRR	电源抑制比	V _{DD} =4.9V 到 5.1V	65	80		dB
Stereo Isolation	立体声分离度			80		dB



7 芯片管脚描述

7.1 管脚分配图

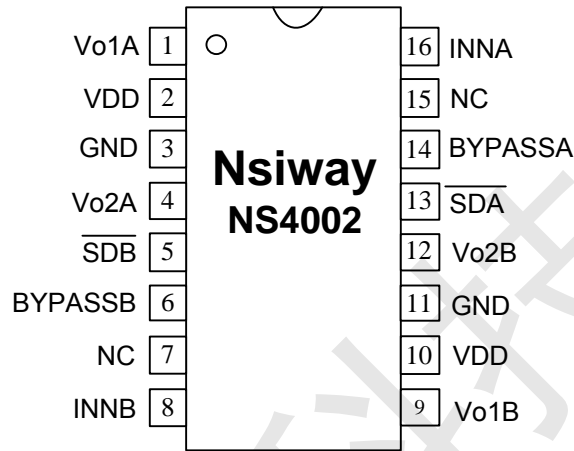


图2 管脚分配图

7.2 引脚功能描述

表3 NS4002 管脚描述

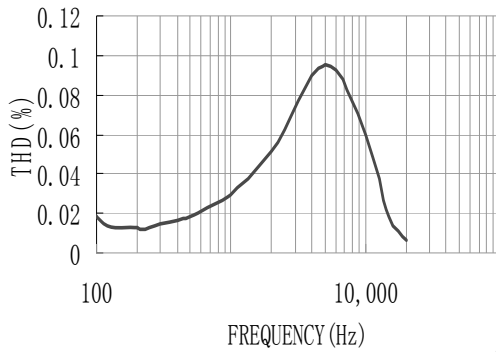
管脚号	符号	描述
1	Vo1A	A 通道输出端 1
2	VDD	电源输入
3	GND	电源地
4	Vo2A	A 通道输出端 2
5	/SDB	B 通道关断控制, 低电平有效(关断)
6	BYPASSB	B 通道 BYPASS 电容
7	NC	空
8	INNB	B 通道输入端
9	Vo1B	B 通道输出端 1
10	VDD	电源输入
11	GND	电源地
12	Vo2B	B 通道输出端 2
13	/SDA	A 通道关断控制, 低电平有效(关断)
14	BYPASSA	A 通道 BYPASS 电容
15	NC	空
16	INNA	A 通道输入端



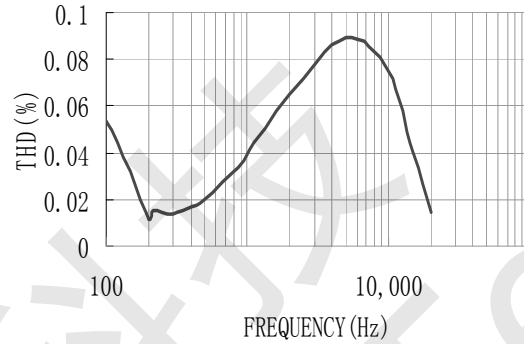
8 NS4002 典型参考特性

8.1 总谐波失真 (THD), 失真+噪声 (THD+N), 信噪比 (S/N)

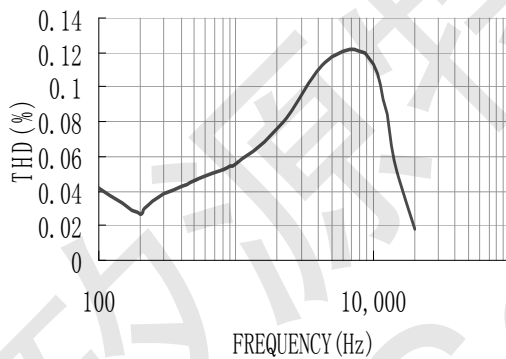
THD vs Frequency
T=25°C, Vdd=5V, RL=8Ω, and Po=500mW



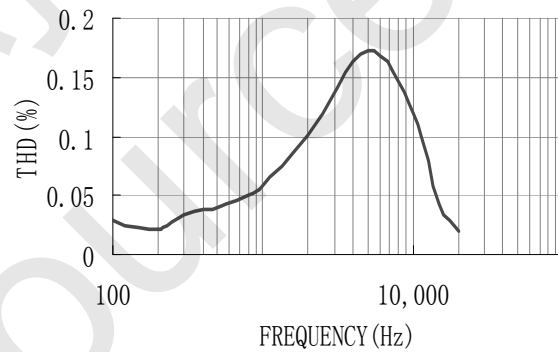
THD vs Frequency
T=25°C, Vdd=3.3V, RL=8Ω, and Po=425mW



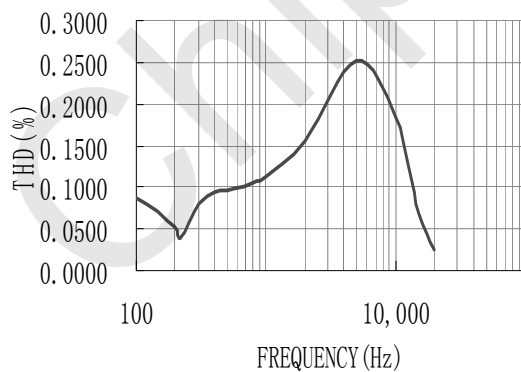
THD vs Frequency
T=25°C, Vdd=2.5V, RL=8Ω, and Po=150mW



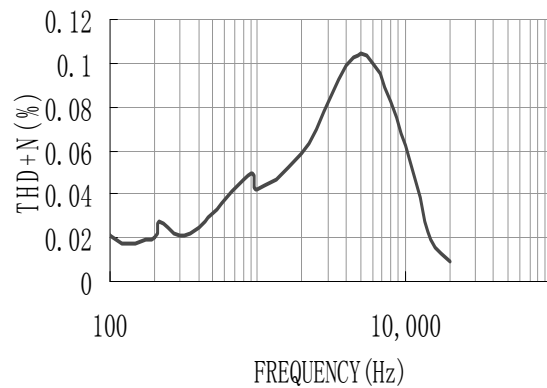
THD vs Frequency
T=25°C, Vdd=3.3V, RL=4Ω, and Po=425mW



THD vs Frequency
T=25°C, Vdd=2.5V, RL=4Ω, and Po=150mW

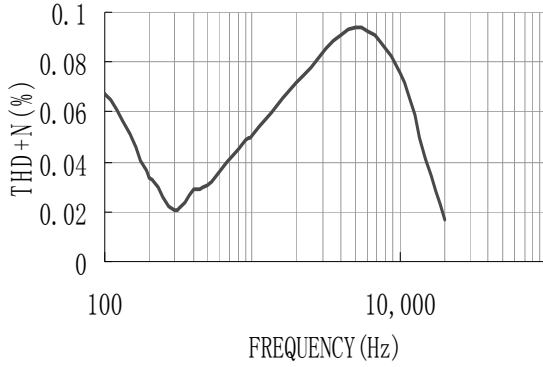


THD+N vs Frequency
T=25°C, Vdd=5V, RL=8Ω, and Po=500mW

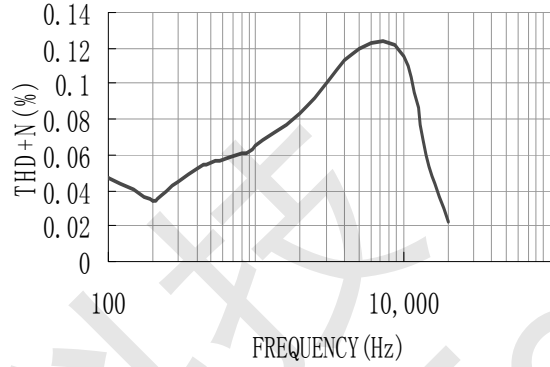




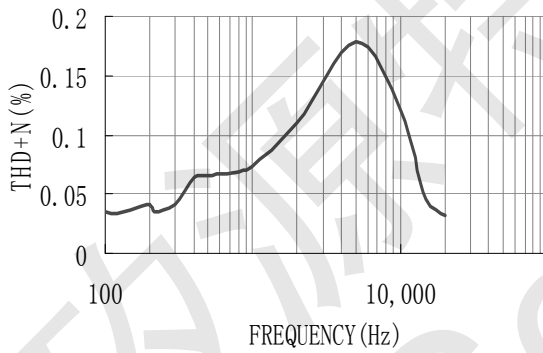
THD+N vs Frequency
T=25°C, Vdd=3.3V, RL=8Ω, and Po=425mW



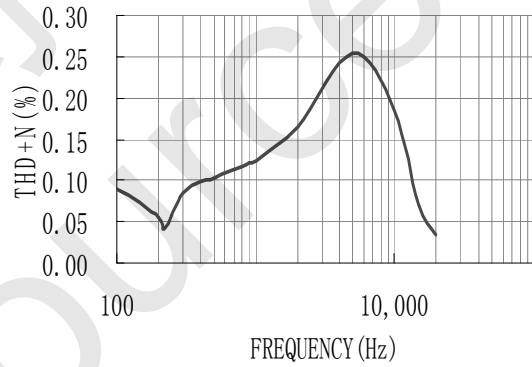
THD+N vs Frequency
T=25°C, Vdd=2.5V, RL=8Ω, and Po=150mW



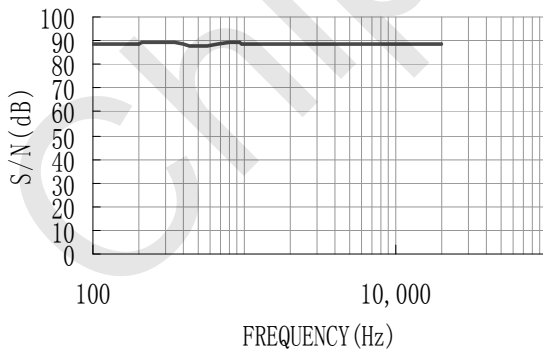
THD+N vs Frequency
T=25°C, Vdd=3.3V, RL=4Ω, and Po=425mW



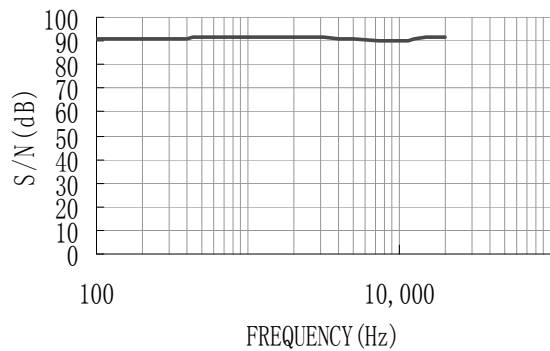
THD+N vs Frequency
T=25°C, Vdd=2.5V, RL=4Ω, and Po=150mW



S/N vs Frequency
T=25°C, Vdd=5V, RL=8Ω, and Po=500mW

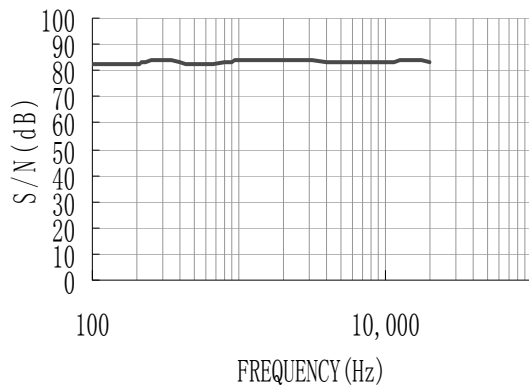


S/N vs Frequency
T=25°C, Vdd=3.3V, RL=8Ω, and Po=425mW

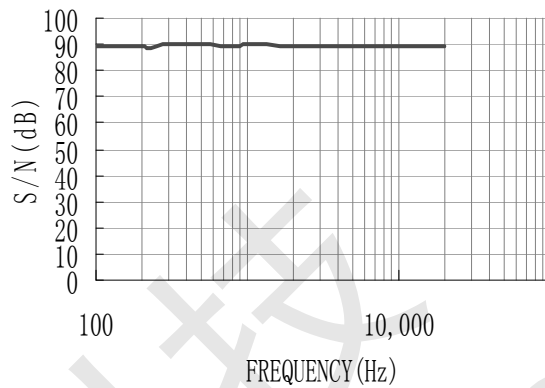




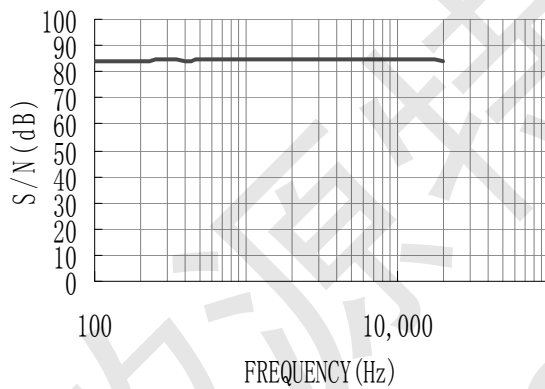
S/N vs Frequency
T=25°C, Vdd=2.5V, RL=8Ω, and Po=150mW



S/N vs Frequency
T=25°C, Vdd=3.3V, RL=4Ω, and Po=425mW

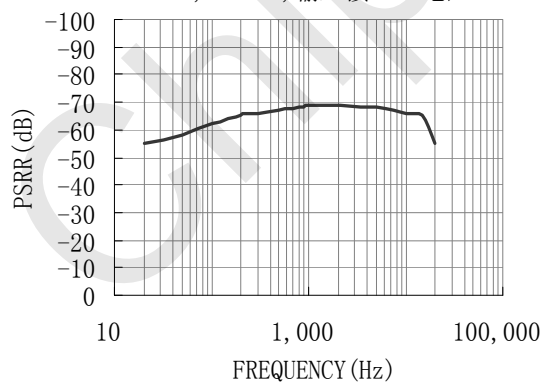


S/N vs Frequency
T=25°C, Vdd=2.5V, RL=4Ω, and Po=150mW

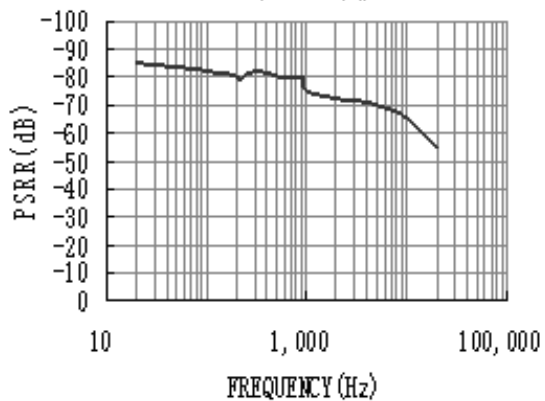


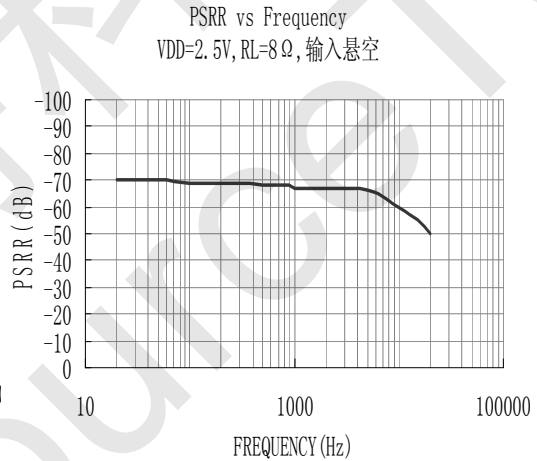
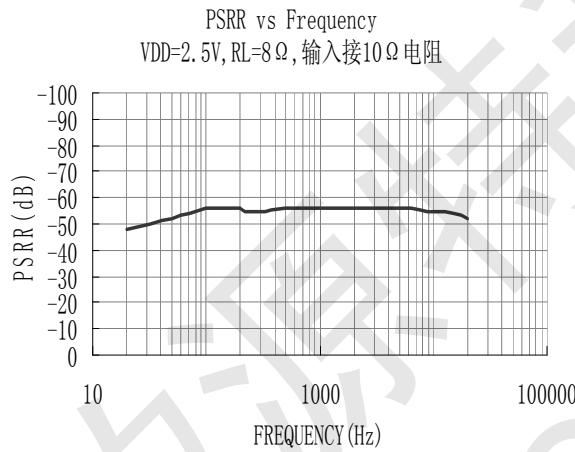
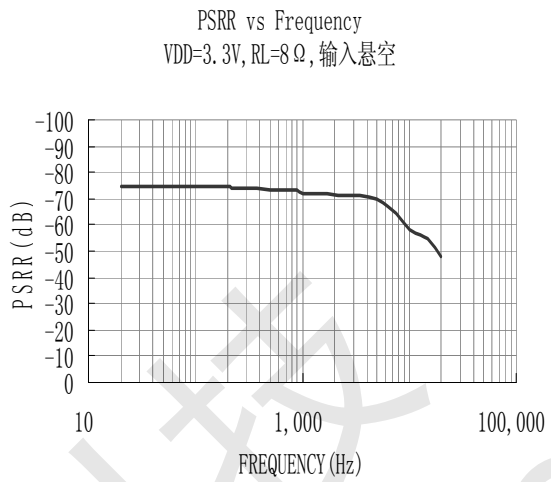
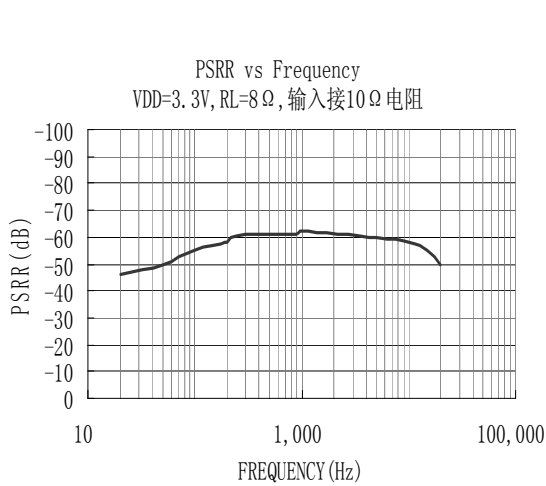
8.2 电源电压抑制比 (PSRR)

PSRR vs Frequency
VDD=5V, RL=8Ω, 输入接10Ω电阻

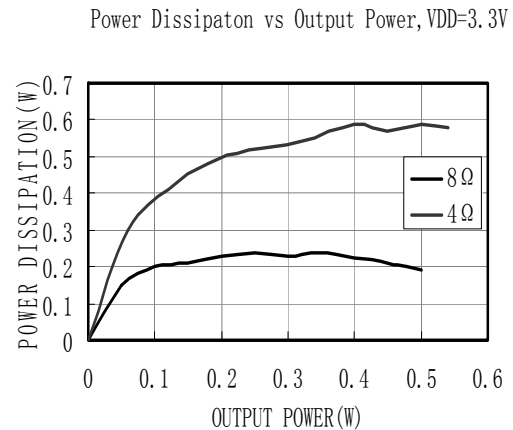
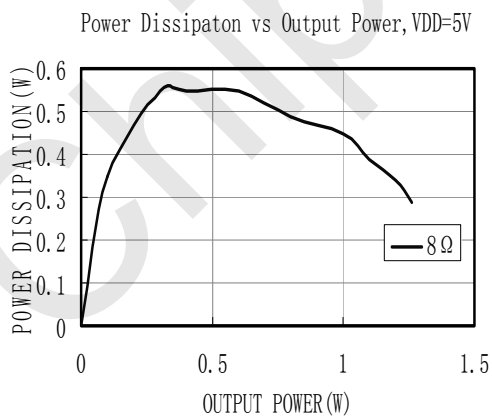


PSRR vs Frequency
VDD=5V, RL=8Ω, 输入悬空



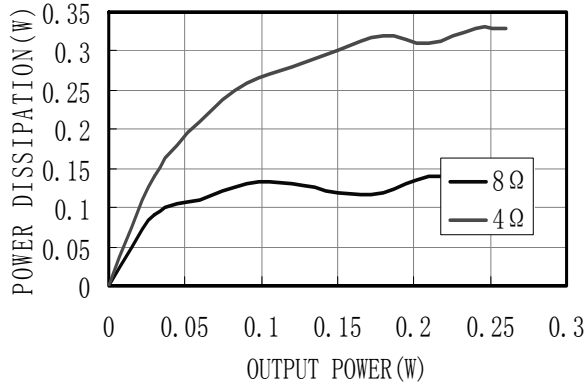


8.3 芯片功耗 (Power Dissipation)



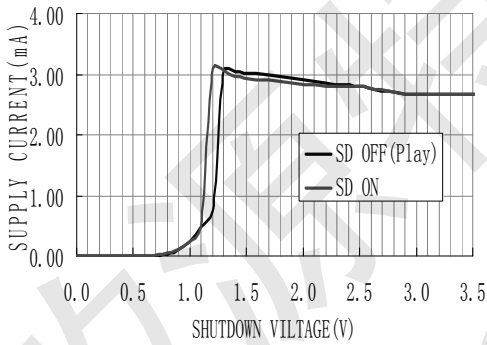


Power Dissipation vs Output Power, VDD=2.5V

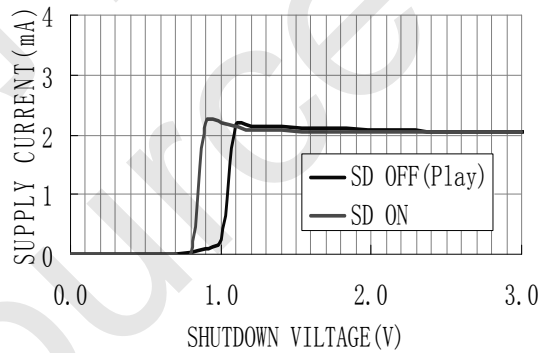


8.4 关断滞回 (Shut Down Hysteresis)

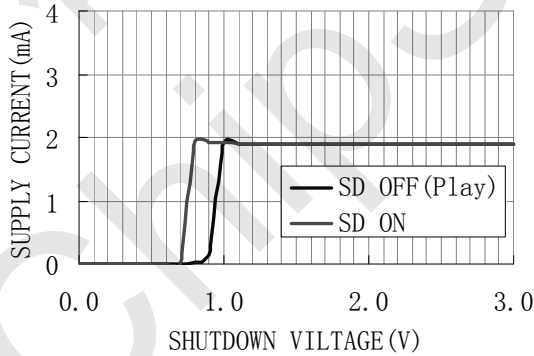
Shutdown Hysteresis Voltage
VDD=5V



Shutdown Hysteresis Voltage
VDD=3.3V

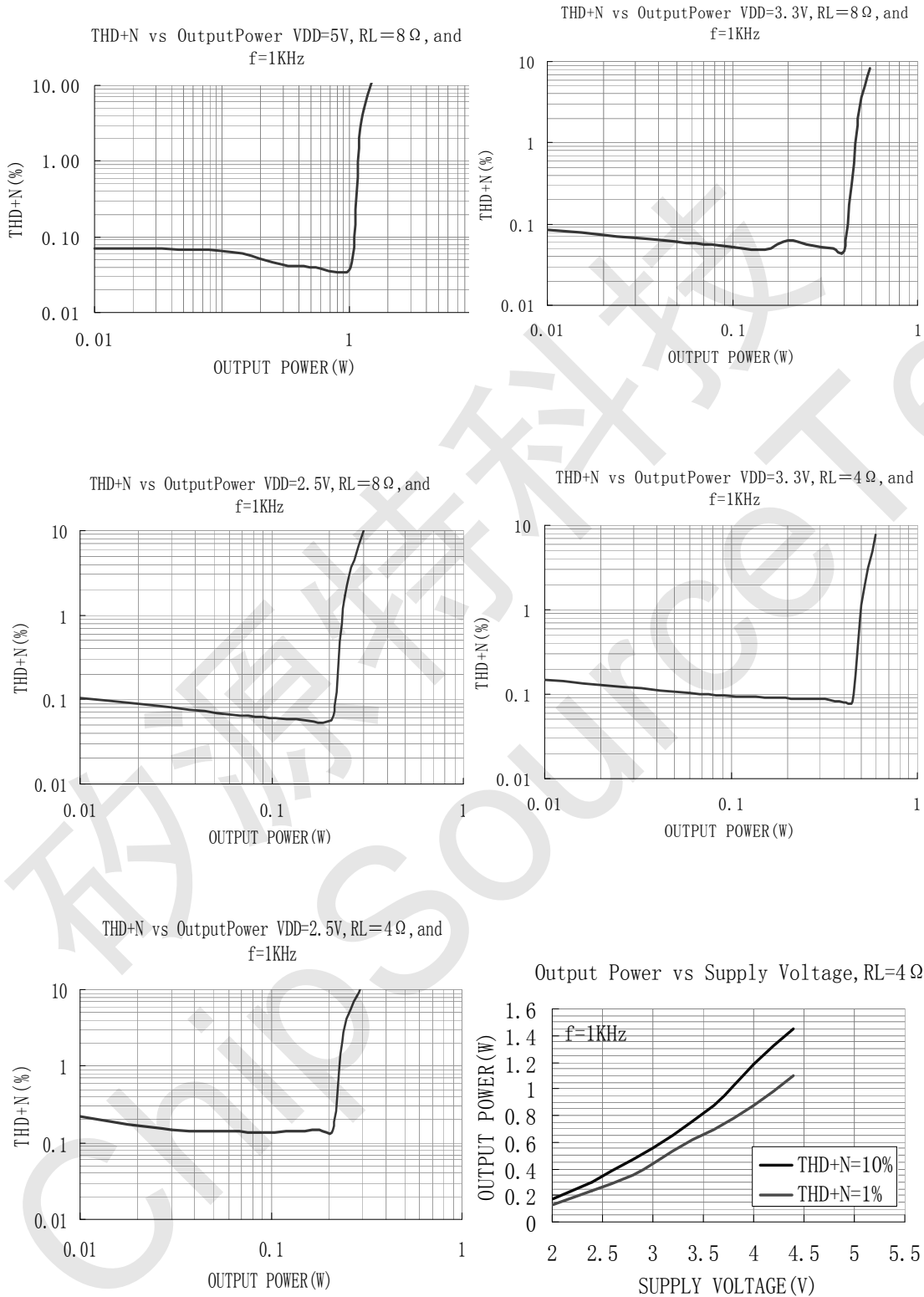


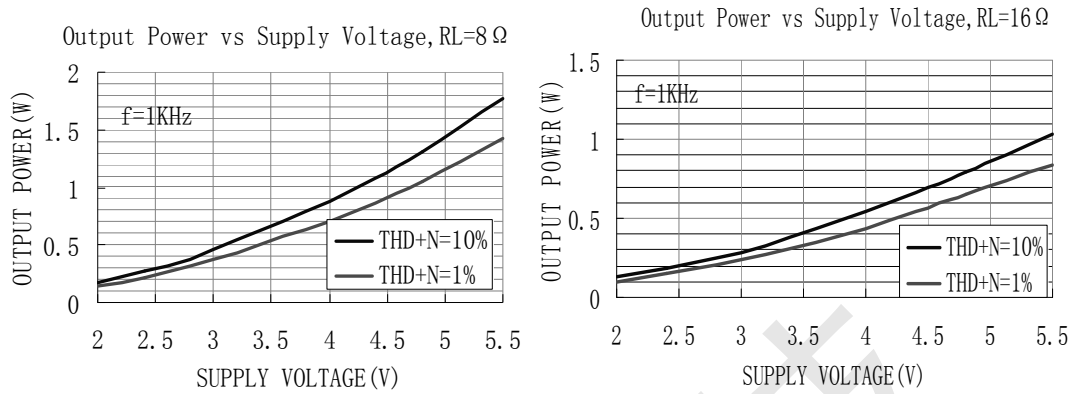
Shutdown Hysteresis Voltage
VDD=2.5V





8.5 输出功率(Output Power)





9 NS4002 应用说明

9.1 芯片基本结构描述

NS4002 是双声道音频功率放大器，芯片内部每个通道集成两个运算放大器，第一个放大器的增益可以调整反馈电阻来设置，后一个为电压反相跟随，从而形成增益可以配置的差分输出的放大驱动电路,其原理框图为：

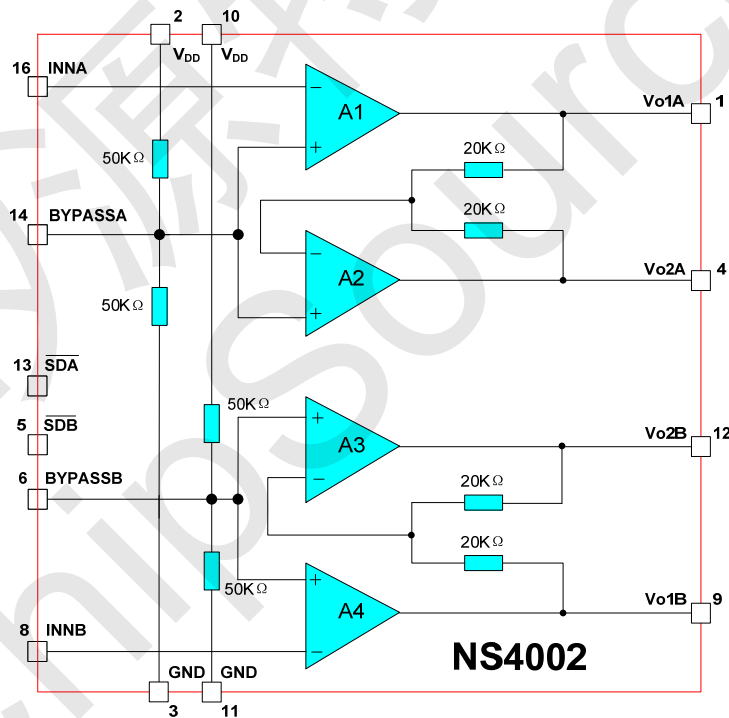


图3 NS4002 原理框图



9.2 芯片数字逻辑特性

表4 关断信号数字逻辑特性

参数	最小值	典型值	最大值	单位	说明
电源电压为 5V					
V _{IH}		1.5		V	
V _{IL}		1.3		V	
电源电压为 3V					
V _{IH}		1.3		V	
V _{IL}		1.0		V	
电源电压为 2.6V					
V _{IH}		1.2		V	
V _{IL}		1.0		V	

9.3 外部电阻配置

如应用图示 1，运算放大器的增益由外部电阻 R_f 、 R_i 决定，其增益为 $A_v=2 \times R_f/R_i$ ，芯片通过 V_{O1} 、 V_{O2} 输出至负载，桥式接法。

桥式接法比单端输出有几个优点：其一是，省却外部隔直滤波电容。单端输出时，如不接隔直电容，则在输出端有一直流电压，导致上电后有直流电流输出，这样即浪费了功耗，也容易损坏音响。其二是，双端输出，实际上是推挽输出，在同样输出电压情况下，驱动功率增加为单端的 4 倍，功率输出大。

9.4 芯片功耗

功耗对于放大器来讲是一个关键指标之一，差分输出的放大器的最大自功耗为：

$$P_{D\text{MAX}}=4 \times (V_{DD})^2 / (2 \times \pi^2 \times R_L)$$

必须注意，自功耗是输出功率的函数。

在进行电路设计时，不能够使得芯片内部的节温高于 $T_{J\text{MAX}}$ (150°C)，根据芯片的热阻 Θ_{JA} 来设计，可以通过自己散热铜铂来增加散热性能。

如果芯片仍然达不到要求，则需要增大负载电阻、降低电源电压或降低环境温度来解决。

9.5 电源旁路

在放大器的应用中，电源的旁路设计很重要，特别是对应用方案的噪声性能及电源电压抑制性能。设计中要求旁路电容尽量靠近芯片、电源脚。典型的电容为 10uF 的电解电容并上 0.1uF 的陶瓷电容。

在 NS4002 应用电路中，另一电容 C_B (接 BYP 管脚) 也是非常关键，影响 PSRR、开关/切换噪声性能。一般选择 0.1uF~1uF 的陶瓷电容。

9.6 掉电模式

为了节电，在不使用放大器时，可以关闭放大器，NS4002 有掉电控制管脚，可以控制放大器是否工作。

该控制管脚的电平必须要接满足接口要求的控制信号，否则芯片可能进入不定状态，而不能够进入掉电模式，其自功耗没有降低，达不到节电目的。



9.7 外围元件的选择

正确选择外围元器件才能够确保芯片的性能，尽管 NS4002 能够有很大的余量保证性能，但为了确保整个性能，也要求正确选择外围元器件。

NS4002 在单位增益稳定，因此使用的范围广。通常应用单位增益放大来降低 THD+N，是信噪比最大化。但这要求输入的电压最大化，通常的音频解码器能够有 $1V_{rms}$ 的电压输出。

另外，闭环带宽必须保证，输入耦合电容 C_i （形成一阶高通）决定了低频响应，

9.8 选择输入耦合电容

过大的输入电容，增加成本、增加面积，这对于成本、面积紧张的应用来讲，非常不利。显然，确定使用多大的电容来完成耦合很重要。实际上，在很多应用中，扬声器（Speaker）不能够再现低于 100Hz-150Hz 的低频语音，因此采用大的电容并不能够改善系统的性能。

除了考虑系统的性能，开关/切换噪声的抑制性能受电容的影响，如果耦合电容大，则反馈网络的延迟大，导致 pop 噪声出现，因此，小的耦合电容可以减少该噪声。

另外，必须考虑 C_B 电容的大小，选择 $C_B=1\mu F$ ， $C_i=0.1\mu F\sim 0.39\mu F$ ，可以满足系统的性能。

9.9 设计参考实例

设计规格

- 输出功率 $1W_{rms}$
- 负载阻抗 8 欧姆
- 输入电平 $1V_{rms}$
- 输入电阻 $20K\Omega$
- 带宽 $100Hz\sim 20KHz\pm 0.25dB$

①首先确定最小工作电压

根据 NS4002 的输出功率与电源电压的关系图，可以确定电源电压应选择 5.0V。电源电压的裕量可以保证输出可以高于 1W 的功率而不失真。

选择电压后，然后考虑功耗的问题。

②确定电压增益

要求 A_{VD} 大于 $\sqrt{P_O \times R_L} / V_{IN}$ ，即 V_{orms} / V_{inrms} ，而 $R_f / R_i = A_{VD} / 2$ ，在该设计中，可以计算得出 A_{VD} 最小为 2.83，选择 $A_{VD} = 3$ ，可以计算得到 $R_i = 20K\Omega$ ， $R_f = 30K\Omega$ 。

③最后根据带宽要求来确定输入电容

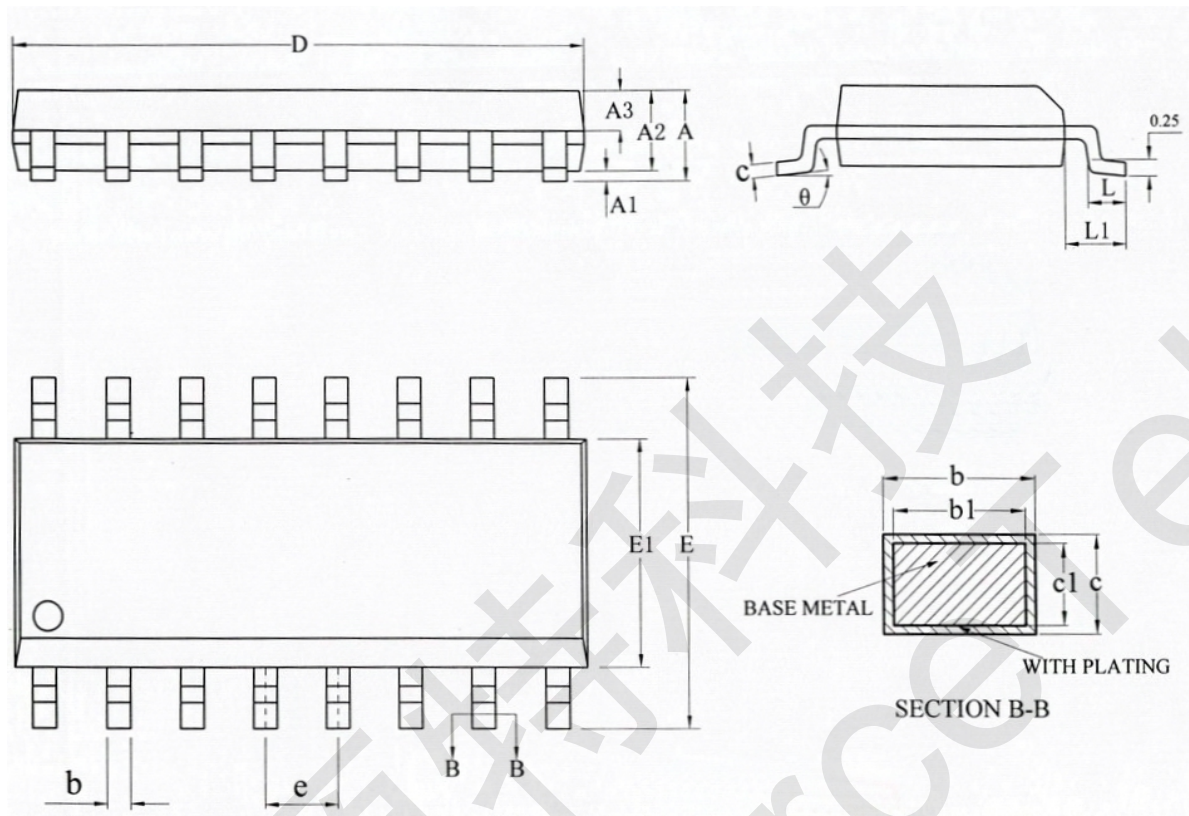
输入低频的 -3dB 带宽为 100Hz，1/5 低频点低于 -3dB 约 0.17dB 及 5 倍高频点），在规格要求以内，取 $f_L = 20Hz$ ， $f_H = 100KHz$ ，

因此可得 C_i 约 0.39 μF 。

高频点 f_H 由放大器的 GBW 决定，至少要求 GBW 大于 $A_{VD} \times f_H = 300KHz$ ，远小于 NS4002 的 2.5MHz。



10 芯片的封装



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	-	-	1.77
A1	0.08	0.18	0.28
A2	1.20	1.40	1.60
A3	0.55	0.65	0.75
b	0.39	-	0.48
b1	0.38	0.41	0.43
c	0.21	-	0.26
c1	0.19	0.20	0.21
D	9.70	9.90	10.10
E	5.80	6.00	6.20
E1	3.70	3.90	4.10
e	1.27BSC		
L	0.50	0.65	0.80
L1	1.05BSC		
θ	0	-	8°

图4 SOP16 封装尺寸图